

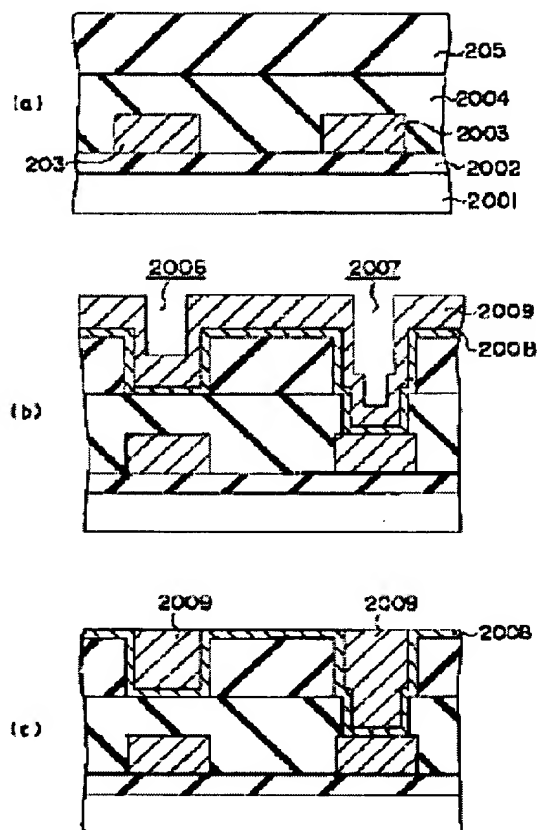
FILED**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

Patent number: JP9064034
Publication date: 1997-03-07
Inventor: NANFUKU MANABU; IJIMA TADASHI; AOYAMA TOSHIKO; SHIMOOKA YOSHIAKI; NIIYAMA HIROMI; TAMURA HITOSHI; SUGURO KYOICHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: H01L21/3205; H01L21/768
- european:
Application number: JP19950210624 19950818
Priority number(s): JP19950210624 19950818

Report a data error here

Abstract of JP9064034

PROBLEM TO BE SOLVED: To obtain a semiconductor device effective for using interconnection materials such as Au, Ag, Cu by providing an insulating film formed on a first electrode or interconnection layer made of Al and a second electrode or interconnection layer made of metal having lower specific resistance and melting point than those of the Al thereon. **SOLUTION:** The semiconductor device comprises a semiconductor substrate 2001 formed with a semiconductor element, a first insulating film 2002 formed on the substrate 2001, and first electrode or interconnection layers 203, 2003 made of Al formed on the film 2002. Further, the device comprises a second insulating film 2004 formed on the electrode or interconnection 203, 2003, and a second electrode or interconnection layer 2009 made of metal having lower specific resistance and melting point than those of the Al formed on the film 2004. For example, the metal is Au, Ag or Cu, and a protective film 2008 without reaction with the metal and preventing the diffusion of the metal is provided at least in the bottom of the layer 2009.



Data supplied from the esp@cenet database - Worldwide

THE PAGE BLOCK NOTE

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64034

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L 21/88	A
	21/768		21/90	J
				Z

審査請求 未請求 請求項の数7 O L (全 33 頁)

(21)出願番号 特願平7-210624

(22)出願日 平成7年(1995)8月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 南幅 学

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 飯島 匡

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 青山 寿子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74)代理人 弁理士 鈴江 武彦

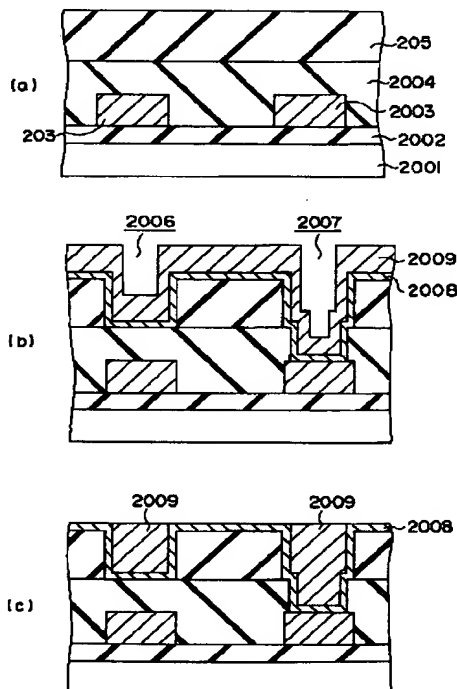
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】Au, Ag, Cu等の配線材料を用いるのに有効な構造を有する半導体装置の製造方法を提供すること。

【構成】絶縁膜2001上にアルミニウム配線2003を形成する工程と、全面に層間絶縁膜2004, 2005を形成する工程と、層間絶縁膜2004, 2005をエッチングして、層間絶縁膜2004, 2005に配線溝2006、コンタクトホール2007を形成する工程と、全面にバリア金属膜2008、配線材料膜2009を順次形成する工程と、レーザアニールにより前記配線材料膜2009を熔融させ、流動させることにより、配線溝2006、コンタクトホール2007内に配線材料膜2009を埋め込む工程と、余分な配線材料膜2009とバリア金属膜2008をCMP法により除去する工程とを有する。



【特許請求の範囲】

【請求項1】 半導体素子が形成された半導体基板と、この半導体基板上に形成された第1の絶縁膜と、この第1の絶縁膜上に形成されたアルミニウムからなる第1の電極または配線層と、この第1の電極または配線層上に形成された第2の絶縁膜と、この第2の絶縁膜上にアルミニウムよりも比抵抗および融点が高い金属からなる第2の電極または配線層とを具備してなることを特徴とする半導体装置。

【請求項2】 前記金属は、Au、AgまたはCuであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第2の電極または配線層の少なくとも底面に前記金属と反応せずかつ前記金属の拡散を防止する保護膜が設けられていることを特徴とする請求項3に記載の半導体装置。

【請求項4】 半導体素子が形成された半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上にアルミニウムからなる第1の電極または配線層を形成する工程と、この第1の電極または配線層上に第2の絶縁膜を形成する工程と、この第2の絶縁膜上にアルミニウムよりも比抵抗および融点が高い金属からなる第2の電極または配線層を形成する工程とを有し、前記第2の電極または配線層としての前記金属の膜をスパッタターゲットに直流バイアス電圧および交流バイアス電圧を印加したスパッタ法により形成することを特徴とする半導体装置の製造方法。

【請求項5】 前記第2の絶縁膜に溝を形成し、この溝の少なくとも底部に前記金属と反応せずかつ前記金属の拡散を防止する保護膜を形成した後、前記第2の電極または配線層を形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記金属の膜を形成した後、昇温速度が1000℃/秒以上、加熱時間が1秒以内の加熱処理を行なうことにより、前記金属の膜を前記溝内に流動せしめることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 半導体素子が形成された半導体基板上に絶縁膜を形成する工程と、この絶縁膜に溝を形成した後、この溝の少なくとも底部に所定の金属と反応せずかつ前記金属の拡散を防止する絶縁膜および導電膜の積層膜からなる保護膜を形成する工程と、全面に前記金属からなる導電膜を形成し、この導電膜に昇温速度が1000℃/秒以上、加熱時間が1秒以内の加熱処理を施して、前記溝内に前記導電膜を流動せしめる工程と、前記導電膜を加工して配線または電極を形成する工程

とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特に電極や配線層に特徴がある半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 LSIの高速化、高集積化に伴い、配線の微細化、多層化が進んでいる。配線の微細化は抵抗の増大、信頼性の低下を引き起こすため、Au、Ag、Cuといった低抵抗で高信頼性の配線材料を用いることが必要となる。

【0003】 しかし、このような配線材料は、従来より使用されているAl系材料に比べ、層間絶縁膜との密着性、層間絶縁膜への拡散、酸化、凝集の点で問題がある。

【0004】 このため、この種の配線材料を用いる場合には、配線の周囲を該配線材料とは異なる材料からなる膜で被覆し、上記問題を回避する必要がある。このような配線は、例えば、次のような方法により形成できる。

【0005】 すなわち、まず、図18(a)に示すように、表面に層間絶縁膜202が形成された半導体基板201を用意し、その層間絶縁膜202上に配線の拡散防止や密着性向上などに効果のあるバリアメタル層203を蒸着法やスパッタ法を用いて形成する。次いでこのバリアメタル層203上に配線となる導電膜204を形成した後、この導電膜204上にバリアメタル層203と同様の効果を持つバリアメタル層205を形成する。次いでこのバリアメタル層205上にレジストを塗布した後、露光、現像を行なって、配線形成用のレジストパターン206を形成する。

【0006】 次にレジストパターン206をマスクとして、図18(b)に示すように、バリアメタル層205、導電膜204、バリアメタル層203を配線状にエッチング加工する。

【0007】 次に図18(c)に示すように、配線部の側壁が被覆されるように全面に配線204とは異なるバリアメタル層203と同様の効果を持つバリアメタル層207を形成する。

【0008】 最後に、図18(d)に示すように、バリアメタル層207を異方性エッチングし、配線部の側壁にバリアメタル層207を選択的に残置させる。

【0009】 この方法によれば、配線本体である導電膜204の周囲がバリアメタル層203、205、207で被覆された配線構造を形成できるので、配線の酸化や拡散を防止できる。

【0010】 しかしながら、この種の方法には以下のような問題がある。すなわち、工程数が多いという問題や、配線の上層に設けられた絶縁膜の平坦化が必要になり多層構造には不向きという問題がある。

【0011】更に、図18(b)で形成された配線形状がテーパ形状になった場合には、図19(a)に示すように、バリアメタル層207が配線部の側壁に形成されなかったり、あるいは図19(b)に示すように、異方性エッチング時に配線部の側壁の導電膜207までがエッチングされ、配線部の側壁がバリアメタル層207で覆われなかったりする結果、配線の酸化や拡散を防止できないという問題がある。

【0012】図20は、従来の他の配線の形成方法を示す工程断面図である。

【0013】この方法の場合、まず最初に図20(a)に示すように、表面に層間絶縁膜202が形成された半導体基板201上に、配線材料と、この配線材料より酸化あるいは窒化しやすい材料との合金からなる配線208を形成する。

【0014】次に微量の酸素あるいは窒素を含む雰囲気中でアニールを行なう。この結果、図20(b)に示すように、配線208中の上記酸化あるいは窒化しやすい材料が配線208の表面まで拡散し、配線208の周囲に酸化膜あるいは窒化膜209が形成される。この酸化膜あるいは窒化膜209が形成されることにより、配線208中の不純物濃度が低くなり、配線208の内部は純金属に近い性質を持つようになる。

【0015】しかしながら、この種の方法には以下のような問題がある。すなわち、酸化膜あるいは窒化膜209を形成するには高温の熱処理が必要で、これによってジャンクションの深さが深くなる等のトランジスタ特性が悪影響を受け、更に、拡散は粒界拡散が支配的なので、配線208を酸化膜あるいは窒化膜209により均一に覆うことが困難である。このような問題は信頼性の低下に繋がる。

【0016】図21は、従来の他の配線の形成方法を示す工程断面図である。

【0017】まず、図21(a)に示すように、表面に配線溝を有する層間絶縁膜202を半導体基板201上に形成する。

【0018】次に図21(b)に示すように、配線材料が層間絶縁膜202に拡散するのを防止するための拡散防止膜210を全面に形成し、引き続き、全面に埋込み配線となる導電膜211を形成する。拡散防止膜210の材料としては、例えば、配線材料より酸化あるいは窒化しやすいものを用いる。

【0019】次に図21(c)に示すように、全面エッチングにより、導電膜211を配線溝内だけに残置させ、埋込み配線211を形成する。

【0020】最後に、図21(d)に示すように、微量の酸素あるいは窒素を含む雰囲気中でアニールを行なうと、拡散防止膜210から埋込み配線211の表面までの拡散により、埋込み配線211の表面に酸化膜あるいは窒化膜212を形成する。

【0021】この方法によれば、自己整合的に配線211の表面を酸化膜あるいは窒化膜212で被覆できるので、工程数が増大するという問題はない。

【0022】しかしながら、上記拡散は粒界拡散が支配的であるため、導電膜211が合金化されることはないが、酸化膜あるいは窒化膜212が均一に形成されず、信頼性の点で問題がある。

【0023】また、図20の方法と同様に、酸化膜あるいは窒化膜212を形成するのに高温の熱処理が必要となる。高温の熱処理は、トランジスタ特性に大きな影響を与え、更に拡散防止膜210の完全性も要求されるようになる。

【0024】更に、拡散防止膜210が存在する分だけ配線211の幅が狭くなるので、配線抵抗が増加するという問題がある。ここで、配線溝を広く形成しておけば配線抵抗の問題は生じないが、配線溝が広がった分だけ微細化が妨げられるという新たな問題が生じる。

【0025】図22は、埋込み配線におけるスルーホール形成方法を示す工程断面図であり、配線溝、スルーホールの順で形成する方法を示している。なお、本発明において、スルーホールとは、配線層と配線層とを接続するビアホール(via hole)、もしくは配線層と半導体基板とを接続するコンタクトホールを意味する。

【0026】まず、図22(a)に示すように、半導体基板220上に第1の層間絶縁膜221、第2の層間絶縁膜222を順次形成した後、第2の層間絶縁膜222に配線溝223を形成する。

【0027】次に図22(b)に示すように、スルーホール形成用のレジストパターン224を形成する。ここでは、合せずれによって右方向にずれたレジストパターン224が示されている。

【0028】次にレジストパターン224をマスクとして、図22(c)に示すように、第1の層間絶縁膜221をエッチングして、スルーホール225を形成する。

【0029】このとき、レジストパターン224がずれて形成されているので、所定部分の第1の層間絶縁膜221がエッチングされずに、非所定部分の第2の層間絶縁膜222がエッチングされてしまう。

【0030】このため、図22(d)に示すように、スルーホール225は、レジストパターン224がずれ分だけコンタクト面積が狭くなり、そして、配線溝223の幅はスルーホール225の部分で広がってしまう。

【0031】このようなスルーホール225のコンタクト面積の減少は、コンタクト抵抗の増加や、スルーホール部におけるコンタクト電極の形状劣化を招き、信頼性の低下の原因となる。一方、配線幅の広がり集積度の向上を妨げる原因となる。

【0032】図23は、埋込み配線におけるスルーホールの他の形成方法を示す工程断面図である。これは配線

溝より先にスルーホールを形成する方法を示している。

【0033】まず、図23(a)に示すように、半導体基板220上に第1の層間絶縁膜221、第2の層間絶縁膜222を順次形成した後、スルーホールとなる部分の第2の層間絶縁膜222をエッチングする。

【0034】図23(b)に示すように、配線溝形成用のレジストパターン226を形成する。ここでは、合せずれによって右方向にずれたレジストパターン226が示されている。

【0035】次にレジストパターン226をマスクとして、図23(c)に示すように、第1の層間絶縁膜221、第2の層間絶縁膜222をエッチングして、配線溝223とスルーホール225とを同時に完成させる。

【0036】このとき、レジストパターン226がずれて形成されているので、本来スルーホールとなる部分の第1の層間絶縁膜221はエッチングされない。

【0037】このため、先の形成方法と同様に、図23(d)に示すように、スルーホール225におけるコンタクト面積は狭くなり、そして、配線溝223の幅はスルーホール225の部分で広がってしまう。したがって、先の形成方法と同様な問題が生じる。

【0038】図30、図31は、下地に段差のある場合の従来の配線の形成方法を示す工程断面図である。

【0039】まず、図30(a)に示すように、半導体基板401の表面にフィールド酸化膜402を形成する。次にゲート酸化膜404、ゲート電極405および拡散層403を形成した後、全面に層間絶縁膜406を形成する。

【0040】次に図30(b)に示すように、CMP法あるいはエッチバック法を用いて、層間絶縁膜406の表面を平坦化する。

【0041】次に図30(c)に示すように、フォトリソグラフィによりスルーホール407a、407bを形成する。このとき、ゲート電極405の領域に形成されたスルーホール407bの深さは、拡散層403の領域に形成されたスルーホール407aのそれに比べて、フィールド酸化膜402、ゲート酸化膜404およびゲート電極405の膜厚を加えた分だけ浅くなる。

【0042】次に図31(a)に示すように、選択CVD法を用いてW等の金属からなるコンタクト層408a、408bを、深い方のスルーホールに合わせて、スルーホールに選択的に形成する。このとき、浅い方のスルーホールに形成したコンタクト層408bはスルーホールからあふれる。

【0043】次に図31(b)に示すように、スルーホールからあふたコンタクト層408bをエッチング除去して、表面の平坦化を行なう。

【0044】次に図31(c)に示すように、コンタクト層408a、408b上に、それぞれ、配線409

a、409bを形成する。

【0045】このような配線の形成方法には以下のような問題がある。

【0046】すなわち、スルーホールに埋め込まれたコンタクト層の膜厚が異なるため、スルーホール内のコンタクト層の抵抗および信頼性が異なる。また、配線409a、409bにより段差が生じ、表面の平坦化が損なわれる。

【0047】なお、図32(a)に示すように、浅い方のスルーホールに合わせてコンタクト層408a、408bを形成した場合には、深い方のスルーホールに段差が生じるため、この状態で配線を形成すると、図32(b)に示すように、深い方のスルーホールに形成された配線の表面には凹凸が生じる。

【0048】このように深い方、浅い方いずれのスルーホールに合わせてコンタクト層を形成しても、結果的には表面に凹凸が生じ、後工程で形成する層間絶縁膜の平坦化が困難になる。

【0049】図33は、下地に段差のある場合の従来の他の配線の形成方法を示す工程断面図である。

【0050】まず、図33(a)に示すように、半導体基板401の表面にフィールド酸化膜402を形成した後、拡散層403、ゲート酸化膜404、ゲート電極405、層間絶縁膜406を形成する。

【0051】次に図33(b)に示すように、拡散層403、ゲート電極405上に、それぞれ、スルーホール407a、407bを形成する。このとき、層間絶縁膜406の平坦化を行っていないので、二つのスルーホール407a、407bの深さは同じになる。

【0052】次に図33(c)に示すように、選択CVD法等で選択的にスルーホール内に金属を堆積させ、コンタクト層408a、408bを形成する。

【0053】次に図33(d)に示すように、コンタクト層408a、408b上に、それぞれ、配線409a、409bを形成する。

【0054】このような形成方法によれば、スルーホール407a、407bの深さが同じであるため、スルーホール内のコンタクト層の抵抗および信頼性はどの部分でも等しくなる。

【0055】しかしながら、層間絶縁膜406が平坦化されていないため、配線409a、409b用のレジストパターンを形成する際にフォーカスずれ等が生じ、所望の寸法の配線409a、409bを形成するのが困難であるという問題がある。

【0056】更に、表面が平坦でない層間絶縁膜406上に配線409a、409bを形成しているので、後工程で形成する層間絶縁膜の平坦化がますます困難になる。

【0057】ところで、層間絶縁膜による寄生容量を低減するために、弗素などのドーパントを層間絶縁膜中に

ドーピングすることが行なわれている。

【0058】しかし、このような層間絶縁膜は、吸水性が強く、膜質が劣化し易く、さらに層間絶縁膜中のドーパントが外方拡散するという問題がある。

【0059】このため、この種の層間絶縁膜を用いる場合には、層間絶縁膜の周囲を該層間絶縁膜とは異なる膜などで被覆し、上記問題を回避する必要がある。このような層間絶縁膜は、次のような方法で形成することができる。

【0060】まず、図46(a)に示すように、半導体基板411上に第1のノンドープ層間絶縁膜412を堆積した後、弗素をドーピングした低誘電率のドーピング層間絶縁膜413を堆積する。この後、ドーピング層間絶縁膜413上に第2のノンドープ層間絶縁膜414を堆積する。

【0061】このようにして得られたサンドイッチ構造の層間絶縁膜によれば、第1および第2のノンドープ層間絶縁膜412、414により、ドーピング層間絶縁膜413の吸水および弗素の外方拡散を防止することができる。

【0062】しかしながら、この種のサンドイッチ構造の層間絶縁膜には以下のような問題がある。

【0063】すなわち、低誘電率であるドーピング層間絶縁膜413を形成しても、上下に誘電率の比較的高いノンドープ層間絶縁膜412、414を形成するため、層間絶縁膜全体としての容量は比較的大きくなるという素子の動作スピードにつながる問題がある。

【0064】また、図46(b)に示すように、層間絶縁膜にスルーホールを開孔した場合、ドーピング層間絶縁膜413の側面が露出するため、特にこの露出面から水分が吸収され、信頼性が低下するという問題がある。このような問題を解決するには、アニールなどにより水分を蒸発すれば良いが、工程数が増加してしまう新たな問題が生じる。

【0065】

【発明が解決しようとする課題】上述の如く、Au、Ag、Cu等の配線材料を用いるには、配線の周囲を該配線材料とは異なる材料からなる膜で被覆し、層間絶縁膜への拡散、酸化を防止する必要がある。

【0066】このような異種材料からなる膜で配線が被覆された配線構造を形成する方法としては、配線の上下を異種材料の膜で挟んで加工した後、配線部の側壁に異種材料の膜を残置させる方法や、異種材料の膜から配線の表面への拡散を利用した方法などが提案されている。

【0067】しかしながら、前者の場合は、工程数が増加したり、所定通りに配線を被覆できなかったり、多層配線化に不向きであるといった信頼性の低下に繋がる問題がある。

【0068】一方、後者の場合は、自己整合的に配線を被覆できるので、工程数が増大するという問題はない

が、拡散に高温の熱処理が用いられ、この高温の熱処理によってトランジスタ特性が悪影響を受け、信頼性が低下するという問題がある。

【0069】本発明は、上記事情を考慮してなされたもので、Au、Ag、Cu等の配線材料を用いるのに有効な半導体装置および半導体装置の製造方法を提供することを目的とする。

【0070】

【課題を解決するための手段】

【概要】上記の目的を達成するために、本発明に係る半導体装置（請求項1）は、半導体素子が形成された半導体基板と、この半導体基板上に形成された第1の絶縁膜と、この第1の絶縁膜上に形成されたアルミニウムからなる第1の電極または配線層と、この第1の電極または配線層上に形成された第2の絶縁膜と、この第2の絶縁膜上にアルミニウムよりも比抵抗および融点が高い金属からなる第2の電極または配線層とを備えたことを特徴とする。

【0071】また、本発明に係る他の半導体装置（請求項2）は、上記半導体装置（請求項1）において、前記金属がAu、AgまたはCuであることを特徴とする。

【0072】また、本発明に係る他の半導体装置（請求項3）は、上記半導体装置（請求項2）において、前記第2の電極または配線層の少なくとも底面に前記金属と反応せずかつ前記金属の拡散を防止する保護膜が設けられていることを特徴とする。また、本発明に係る他の半導体装置の製造方法（請求項4）は、半導体素子が形成された半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上にアルミニウムからなる第1の電極または配線層を形成する工程と、この第1の電極または配線層上に第2の絶縁膜を形成する工程と、この第2の絶縁膜上にアルミニウムよりも比抵抗および融点が高い金属からなる第2の電極または配線層を形成する工程とを有し、前記第2の電極または配線層としての前記金属の膜をスパッタターゲットに直流バイアス電圧および交流バイアス電圧を印加したスパッタ法により形成することを特徴とする。

【0073】また、本発明に係る他の半導体装置の製造方法（請求項5）は、上記半導体装置の製造方法（請求項4）において、前記第2の絶縁膜に溝を形成し、この溝の少なくとも底部に前記金属と反応せずかつ前記金属の拡散を防止する保護膜を形成した後、前記第2の電極または配線層を形成することを特徴とする。

【0074】また、本発明に係る他の半導体装置の製造方法（請求項6）は、上記半導体装置の製造方法（請求項5）において、前記金属の膜を形成した後、昇温速度が1000℃/秒以上、加熱時間が1秒以内の加熱処理を行なうことにより、前記金属の膜を前記溝内に流動せしめることを特徴とする。

【0075】また、本発明に係る他の半導体装置の製造

方法(請求項7)は、半導体素子が形成された半導体基板上に絶縁膜を形成する工程と、この絶縁膜に溝を形成した後、この溝の少なくとも底部に所定の金属と反応せずかつ前記金属の拡散を防止する絶縁膜および導電膜の積層膜からなる保護膜を形成する工程と、全面に前記金属からなる導電体膜を形成し、この導電体膜に昇温速度が $1000^{\circ}\text{C}/\text{秒}$ 以上、加熱時間が1秒以内の加熱処理を施して、前記溝内に前記導電体膜を流動せしめる工程と、前記導電体膜を加工して配線または電極を形成する工程とを有することを特徴とする。

【0076】上記半導体装置の製造方法における前記金属(所定の金属)は例えばAu、Ag、Cu等の低抵抗、低融点の金属であり、また、前記溝はスルーホール、配線溝である。また、加熱処理はレーザによるものが好ましい。

【0077】[作用]本発明(請求項1)の如きの構成であれば、例えば、アルミニウムよりも比抵抗および融点が高い金属(具体的には例えば請求項2に示したAu、Ag、Cu)からなる第2の電極または配線層をグローバル配線に適用することにより、スピード等の性能を改善でき、また、アルミニウムからなる第1の電極または配線層をスピードに寄与しないローカル配線に適用することにより、従来のA1配線の場合と同様に半導体基板上に形成された半導体素子(例えばトランジスタ等のアクティブ素子)は安定した特性を示すので、Au、Ag、Cu等の低比抵抗、低融点の配線材料を有効に用いた半導体装置を実現できるようになる。

【0078】また、第2の電極または配線層の構成金属が後工程の熱処理等により拡散しても、この拡散した構成金属はアルミニウム配線に吸収(ゲッタリング)されるので、上記拡散した構成金属による半導体基板上に形成された半導体素子の特性劣化を防止できる。

【0079】また、本発明(請求項3)によれば、保護膜により、第2の電極または配線層を形成した後の熱処理の際における該電極または配線層の構成金属の下地への拡散を防止でき、したがって、半導体基板上に形成された半導体素子の特性劣化を効果的に防止できるようになる。

【0080】また、本発明(請求項4)によれば、スパッターゲットに直流バイアス電圧および交流バイアス電圧を印加したスパッタ法を用いているので、堆積速度の速い第2の電極または配線層の形成を行なうことができる。

【0081】また、本発明で、 $1000^{\circ}\text{C}/\text{秒}$ 以上、加熱時間が1秒以内の加熱処理(この加熱処理は例えばレーザアニールによるものである)を用いているのは、半導体基板上に形成された半導体素子の特性劣化を防止するためである。例えば、拡散層の再拡散による特性劣化を防止するためである。

【0082】

【発明の実施の形態】以下、図面を参照しながら発明の実施の形態(実施形態)を説明する。

【0083】(第1の実施形態)図1、図2は、本発明の第1の実施形態に係る埋込み配線の形成方法を示す工程断面図である。

【0084】まず、図1(a)に示すように、シリコン等の半導体基板1上に層間絶縁膜2を形成する。更にこの層間絶縁膜2上に、後工程で配線材料膜などをCMP等で除去する際に、層間絶縁膜2の薄膜化を防止する役割を果たす薄膜のストッパー膜3(耐エッチング膜)を形成するのが好ましいが、配線材料膜と層間絶縁膜2のエッチング選択比が十分取れる場合には設けなくても良い。この後、配線溝形成用のレジストパターン4をストッパー膜3上に形成する。

【0085】ここで、層間絶縁膜2としては、例えば、CVD法で形成した SiO_2 膜あるいはB、Pなどの不純物を含んだ SiO_2 膜や、プラズマCVD法で形成した SiO_2 膜や、ソースガスとしてTEOS系ガスを用いた SiO_2 膜などを用いる。また、ストッパー膜3としては、例えば、Cの薄膜を用いる。

【0086】次に図1(b)に示すように、レジストパターン4をマスクとして、ストッパー膜3と層間絶縁膜2を異方性エッチングし、配線溝を形成する。

【0087】このとき、ストッパー膜3と層間絶縁膜2の異方性エッチングは、フロロカーボン系ガスを用いて連続的に行なってもよいし、不連続で行なってもよい。また、配線溝の深さは、配線となる配線層より深く形成しておく。

【0088】次に図1(c)に示すように、レジストパターン4を除去する。このレジストパターン4の除去は、 O_2 アッシングで行なっても良いが、ストッパー膜3にCの薄膜を用いた場合には、硫酸：過酸化水素水=3：2程度の溶液でウェットエッチングを行なうと良い。更に、下地に金属膜が露出している場合には、ダウンフローアッシングなどを用いると良い。ダウンフローアッシングは O_2 ガスあるいは O_2 と CF_4 などの混合ガスを用い、チェンバー室の温度を 100°C 以下とし、圧力数mTorr(プラズマが発生する圧力)の条件で処理する。その後、Fなどの吸着物を除去するため、真空中あるいは N_2 雰囲気中で $100\sim 300^{\circ}\text{C}$ 程度のベークングや純水の超音波洗浄などを行なっても良い。

【0089】次に図1(d)に示すように、例えば、Al、Ti、TiN、Nb、W、あるいはこれらの積層、あるいはこれらの合金からなる拡散防止膜5を全面に形成する。この拡散防止膜5の膜厚は、主に配線を形成する材料の抵抗を損なうことがないように、数1～数10nmとすることが望ましい。また、拡散防止膜5としてその上に形成される配線または電極の構成金属と反応を起こさないものを用いる(他の実施態様も同様)。

【0090】この後、例えば、Au、Ag、Cu、ある

いはこれらの合金からなり、配線となる配線材料膜6を異方性堆積し、配線材料膜6を配線溝の内部と外部とに完全に分離して形成する。この配線材料膜6の形成には、例えば、コリメータを用いて配線材料膜をスパッタするか、または $10^5 \sim 10^{-4}$ Torrの不活性ガス雰囲気中でターゲットと基板の距離を10cm以上離してスパッタする方法を用いて方向性を持たせたスパッタなどを使用することにより、配線溝の側壁に配線材料膜6が形成されないようにできる。あるいは配線材料を構成する金属または粒子をイオン化してバイアスを印加した基板に被着する方法を用いても良い。その後、表面保護膜7を全面に形成し、拡散防止膜5、配線材料膜6、表面保護膜7のトータルの膜厚が所望の配線膜厚になるようにする。

【0091】次に図2(a)に示すように、配線溝以外の拡散防止膜5、配線層6、表面保護膜7をCMP法、エッチバック法等により除去する。

【0092】次に図2(b)に示すように、ストッパー膜3を除去する。この状態では、微視的には、ストッパー膜3の膜厚に相当する段差が残る。

【0093】最後に、図2(c)に示すように、上記段差を取り除くために、例えば、CMP法により表面を研磨し、表面が平坦な埋込み配線を完成させる。

【0094】以上述べたように本実施形態では、配線溝を配線膜厚より深く形成し、配線材料膜6を異方性堆積することにより、配線材料膜6を配線溝の内部と外部に完全に分離して形成した後、全面に表面保護膜7を堆積し、配線溝の内部が表面保護膜7で覆われた構造を形成している。

【0095】このため、高温の熱処理を用いずに、1回の除去工程で配線溝内だけに表面保護膜7で覆われた配線材料膜6を形成できるので、少ない工程数で被覆構造の埋込み配線を形成できるようになり、信頼性の低下を防止できる。更に、埋込み配線なので配線による段差がなく、多層化にも有利である。

【0096】なお、配線溝の深さを揃えるために、図3に示すように、層間絶縁膜2'を形成した後、層間絶縁膜2と材質が異なり、例えば、フローカーボン系のガスを用いてエッチングを行なう場合には、 SiO_2 よりもエッチング速度の遅い SiN などからなる第2の層間絶縁膜8を、層間絶縁膜2'上に形成し、つまり、層間絶縁膜2の所望の配線深さの位置に形成しても良い。

【0097】(第2の実施形態)図5は、本発明の第2の実施形態に係る埋込み配線の形成方法を示す工程断面図である。

【0098】まず、第1の実施形態と同様の方法により、図5(a)に示すように、半導体基板11上に配線溝が形成された層間絶縁膜12、ストッパー膜13、拡散防止膜15、配線材料膜16を形成する。ここで、拡散防止膜15と配線材料膜16とのトータルの膜厚が所望

の配線膜厚になるようにする。

【0099】次に図5(b)に示すように、配線溝以外の拡散防止膜15と配線材料膜167をエッチング除去する。

【0100】次に図5(c)に示すように、ストッパー膜13を除去する。この状態では、ストッパー膜13の膜厚の分だけ段差が残る。

【0101】次に図5(d)に示すように、上記段差を取り除くために、例えば、CMPにより表面を研磨し、平坦化された埋込み配線を形成する。

【0102】最後に、図5(e)に示すように、配線材料膜16の酸化や、周囲の層間絶縁膜12への拡散を防止するために、 SiN_x 、 SiN_xO_y 、 Al_2O_3 、 MgO 、 ZrO_2 、 BeO 、 CaO 等の絶縁膜からなる表面保護膜17を全面に形成する。

【0103】この表面保護膜17は、その上に層間絶縁膜を形成した後、この層間絶縁膜に上記方法により形成された埋込み配線に対するスルーホールを形成する際に、層間絶縁膜12に対するエッチングストッパー膜として機能する。このため、レジストパターンの合わせズレが生じて、層間絶縁膜12が深くエッチングされることはない。なお、この場合には、あらかじめ配線溝の深さを所望の配線膜厚と同一にしておき、拡散防止膜を形成し、次いで加熱スパッタあるいはスパッタで配線材料を形成した後、熱処理やレーザー照射等を行ない、配線材料をリフローさせて配線溝内に配線材料を埋込み、配線溝以外の拡散防止膜、配線材料をエッチング除去し、埋込み配線を形成しても良い。

【0104】(第3の実施形態)図4は、本発明の第3の実施形態に係る埋込み配線の形成方法を示す工程断面図である。

【0105】まず、図4(a)に示すように、第1の実施形態と同様の方法により、半導体基板21上に SiO_2 からなる層間絶縁膜22を形成した後、ストッパー膜23を形成し、更に配線溝を形成する。

【0106】次にウエハ全面を N_2 プラズマ処理し、図4(b)に示すように、配線溝の側部および底部の層間絶縁膜22を窒化して、 SiN からなる拡散防止膜24を形成する。 N_2 プラズマ処理は、例えば、チャンバ室温度 $350 \sim 450^\circ\text{C}$ 、 $10^{-3} \sim 10$ Torrの窒素プラズマ中で、3～60分間処理し、 SiON などを形成する。この SiON 膜は層間絶縁膜502の誘電率を増加することがないように数1～10nmとすることが望ましい。

【0107】以下のプラズマ窒化膜に関しても同様とする。また、プラズマ窒化膜とは、配線溝の底部および側部の表面を窒素プラズマにより変質して形成されたものであって、CVD法やスパッタ法の場合のように膜材料を堆積して形成されたものではない。したがって、溝の底部および側部に形成されたプラズマ窒化膜は、CVD

窒化膜やスパッタ窒化膜のように、配線溝の幅を狭くするというのではない。この後、図1(d)以降の工程と同様な過程を経て埋込み配線が完成する。

【0108】本実施形態によれば、拡散防止膜24の成膜を配線溝の側壁および底部の窒化により行なっているため、CVD法やスパッタ法で成膜する場合に比べて、配線溝が抵抗の高い材料で狭められることがないため、配線材料本来の抵抗が維持できる。

【0109】次に本実施形態の変形例について説明する。まず、第1の実施形態と同様な方法により図1(c)に示す構造を形成する。層間絶縁膜2としてはSiO₂膜を用いる。

【0110】次に全面をN₂プラズマ処理し、配線溝の側壁および底部の層間絶縁膜2を窒化して、配線溝の側壁および底部にSiNからなる改質膜を形成する。

【0111】最後に、全面に拡散防止膜、配線材料膜を順次形成し、配線溝以外の拡散防止膜、配線材料膜をエッチング除去して、埋込み配線が完成する。

【0112】なお、第1の実施形態と同様に配線の上部も保護することが望ましい。

【0113】この変形例によれば、改質膜、拡散防止膜を併用しているため、配線材料の拡散の防止をより確実なものにできる。

【0114】(第4の実施形態)図6は、本発明の第4の実施形態に係る埋込み配線の形成方法を示す工程断面図である。これは第3の実施形態を応用した例である。

【0115】まず、図6(a)に示すように、半導体基板31上に層間絶縁膜32、絶縁膜からなるストッパー膜33を順次形成し、層間絶縁膜32、ストッパー膜33をエッチングしてスルーホールを形成した後、このスルーホール内にW等の金属材料を埋め込み、金属膜34を形成する。

【0116】次いで全面に層間絶縁膜35、メタルCMPストッパー膜36を形成し更に配線溝を形成した後、第3の実施形態と同様のN₂プラズマ処理を行なう。この結果、このN₂プラズマ処理により、配線溝の側壁、およびスルーホールに埋め込まれ、露出している部分の金属膜34が窒化され、配線溝の側壁にはSiNからなる拡散防止膜37が形成され、スルーホールの表面には金属窒化膜37'が形成される。このとき、スルーホール内に埋め込まれた金属材料がW等の場合には、窒化されても導電性が高いため、そのまま用いることができる。また、窒素、水素等の非酸化性雰囲気での熱処理により、金属窒化膜37'を再度金属膜に還元することも可能である。

【0117】次に図6(b)に示すように、配線材料を異方性堆積し、配線材料膜38を形成する。

【0118】最後に、図6(c)に示すように、配線溝以外の配線材料膜38を除去し、表面が平坦な埋込み配線を形成した後、全面に絶縁膜からなる表面保護膜39

を形成し、更に層間絶縁膜40を形成する。

【0119】(第5の実施形態)図7は、本発明の第5の実施形態に係る埋込み配線の形成方法を示す工程断面図である。これは図1、図2の第1の実施形態の変形例で、図1、図2に示した配線構造と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0120】本実施形態が第1の実施形態と異なる点は、配線材料の拡散防止膜あるいは酸化防止膜5の材料として、配線材料膜と安定な化合物を形成する金属を用いたことにある。

【0121】すなわち、配線材料としてCuを用い、拡散防止膜あるいは酸化防止膜5としてAlを用いた場合には、熱処理によってAl₂Cu等のAl系合金が形成されるが、Al系合金は一般に熱的に安定で、密着性についても問題がないので、拡散防止膜、酸化防止膜としての働きを損なうことはない。

【0122】(第6の実施形態)図8は、本発明の第6の実施形態に係る埋込み配線の形成方法を示す工程断面図である。これは第5の実施形態の変形例で、図7に示した配線構造と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0123】本実施形態が第5の実施形態と異なる点は、配線材料の拡散を複数のバリア層で防止していることにある。

【0124】すなわち、半導体基板11上に配線材料膜16からの拡散原子をゲッタリングするゲッタリング層10、例えば、BP SG層を形成した後、ゲッタリング層10上に配線溝を有する層間絶縁膜12を形成し、この配線溝に金属からなるバリア層18aおよび絶縁膜からなるバリア層18b、19で覆われた配線材料膜16を形成する。金属からなるバリア層18aは第1の実施形態あるいは第5の実施形態、絶縁膜からなるバリア層18b、19はそれぞれ第2および第3の実施形態に基づいて形成する。

【0125】(第7の実施形態)図10は、本発明の第7の実施形態に係る埋込み配線におけるスルーホールの形成方法を示す工程断面図である。

【0126】まず、図10(a)に示すように、素子(不図示)が形成された半導体基板41を用意し、この半導体基板41上にSiO₂または不純物を含んだSiO₂からなる第1の層間絶縁膜42を形成する。

【0127】次いでこの第1の層間絶縁膜42上に、この層間絶縁膜42と異なる材料、例えばSiNからなり、配線溝形成時にエッチングストッパーとなる第1のストッパー膜43を形成した後、第2の層間絶縁膜44、そして、配線材料などのエッチング時にエッチングストッパーとして機能する例えばCからなる第2のストッパー膜45を順次形成する。

【0128】次いで第2のストッパー膜45上に配線溝

形成用のレジストパターン46を形成した後、このレジストパターン46をマスクとして、第2のストッパー膜45、第2の層間絶縁膜44をエッチングし、配線溝を形成する。このとき、第1のストッパー膜43によって第1の層間絶縁膜42はエッチングされない。

【0129】次に図10(b)に示すように、レジストパターン46を除去した後、配線幅よりも広いスルーホール形成用のレジストパターン47を形成する。このときの平面図を図9(a)に示す。図中、48は配線溝を示し、49はスルーホールのレジストパターン47の開口部を示している。

【0130】次に図10(c)に示すように、レジストパターン47をマスクとして、第2のエッチングストッパー膜43、第1の層間絶縁膜42をエッチングし、スルーホールを形成する。

【0131】このとき、第2のストッパー膜45によって、このストッパー膜45の下部の第2の層間絶縁膜44はエッチングされない。このため、図9(b)に示すように、配線溝48と同じ幅のスルーホール50を形成できる。

【0132】したがって、本実施形態によれば、配線溝48の幅とスルーホール50の幅を同じにでき、配線溝48の幅に対してスルーホールサイズを最大に確保することができるので、コンタクト抵抗の増加を防止できる。

【0133】このような方法で形成した配線溝とスルーホールへの導電材料の埋込みは、第1の実施形態と同様の方法により配線溝とスルーホールとを同時に埋め込む。このように同時に埋め込むことで工程短縮が図れる。また、第2のストッパー膜45としてC膜を用いた場合にはWの選択成長を利用し、スルーホール内にWをあらかじめ形成し、その後、第1の実施形態と同様の方法により配線を形成しても良い。

【0134】(第8の実施形態)図11は、第8の実施形態の埋込み配線の形成方法を示す工程断面図である。まず、図11(a)に示すように、面方位(100)の単結晶のシリコン基板61上に層間絶縁膜として厚さ0.8 μ mのPSG膜62をCVD法により形成する。次いでPSG膜62上にエッチングストッパー膜として厚さ0.1 μ mのSi₃N₄膜63をCVD法により形成する。Si₃N₄膜63の膜厚は0.1 μ mとしたが、上層に使われる膜とエッチング際に選択性が得られるのなら薄くても良い。この後、この積層構造の上に配線の膜厚と同じ膜厚(0.3 μ m)のSiO₂膜64を常圧CVDにより形成する。

【0135】次に図11(b)に示すように、シリコン基板61上にリソグラフィと反応性イオンエッチングとを用いて配線溝65を形成する。このとき、エッチングに用いるガスは、SiO₂膜64とSi₃N₄膜63との選択性が得られるガス、例えば、フロロカーボンとC

Oとの混合ガスを用いる。この後、上記リソグラフィで形成されたレジストパターンを酸素プラズマ中で灰化した後、硫酸と過酸化水素水の混合液中で除去、洗浄する。

【0136】次に図11(c)に示すように、直流マグネトロンスパッタリング法で配線となるA1薄膜66を無加熱で形成する。A1薄膜66の膜厚は溝の深さと等しく、0.3 μ mである。次いでスパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用い自然酸化膜の形成を制御しながら熱処理を行ない、配線溝65内にA1薄膜66を埋め込む。

【0137】最後に、図11(d)に示すように、配線領域外の広い領域に残留するA1薄膜66をCMP法により除去する。

【0138】本実施形態によれば、エッチングストッパー膜(Si₃N₄膜63)を用いているので、SiO₂膜64のエッチングの際に、層間絶縁膜(PSG膜62)がエッチングされることはない。このため、トレッチ現象や、エッチングの不均一性に起因する配線の信頼性の低下を防止できる。

【0139】本実施形態では、エッチングストッパー膜としてCVD法により形成したSi₃N₄膜63を用いたが、層間絶縁膜を直接窒化する方法、例えば、BPSG膜上にRTA法を用いてNH₄FまたはN₂雰囲気中にて直接窒化することでエッチングストッパー膜を形成しても、同様の結果が得られる。

【0140】また、Si₃N₄膜63の代わりに、多結晶シリコン膜を用い、所定のパターンの凹部を形成し、多結晶シリコン膜が露出した部分を酸化して、SiO₂膜を形成する方法、もしくはエッチング除去する方法を用いても同様の結果が得られる。

【0141】(第9の実施形態)図12は、第9の実施形態の埋込み配線の形成方法を示す工程断面図である。図12(a)に示すように、面方位(100)の単結晶のシリコン基板71上に層間絶縁膜としてPSG膜72をCVD法により形成する。このときのPSG膜72の膜厚は例えば0.8 μ mとする。このPSG膜72上にエッチングストッパー膜としてのSi₃N₄膜73をCVD法により形成する。

【0142】次いでSi₃N₄膜73上に配線の膜厚と同じ膜厚(0.3 μ m)のSiO₂膜74を常圧CVDにより形成した後、レジストパターンを形成し、これをマスクとしてSiO₂膜74をエッチングし、配線溝75を形成する。このエッチングに用いるガスは、SiO₂とSiN₃との選択性が得られるもの、例えば、フロロカーボンとCOの混合ガスを用いる。その後、上記リソグラフィで形成されたレジストパターンを酸素プラズマ中で灰化した後、硫酸と過酸化水素水の混合液中で除去、洗浄する。

【0143】次に図12(b)に示すように、レジスト

パターン76を形成した後、これをマスクとしてPSG膜72を反応性イオンエッチングを用いてエッチングし、コンタクトホール77を形成する。

【0144】次に図12(c)に示すように、レジストパターン76を酸素プラズマ中で灰化した後、硫酸と過酸化水素水の混合液中で除去、洗浄する次に図12

(d)に示すように、直流マグネトロンスパッタリング法で埋込み配線およびコンタクト配線となるA1薄膜78を無加熱で形成する。A1薄膜78の膜厚は溝の深さと等しく0.3 μ mである。次いでスパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用い自然酸化膜の形成を制御しながら熱処理を行ない、配線溝75、コンタクトホール77内にA1薄膜78を埋め込む。

【0145】最後に、図12(e)に示すように、配線領域外の広い領域に残留するA1薄膜78をCMP法により除去することにより、埋込み配線とコンタクト配線とを同時に完成させる。

【0146】(第10の実施形態)図13は、第10の実施形態の埋込み配線の形成方法を示す工程断面図で、本実施形態は、コンタクトホールを形成した後、配線溝を形成する方法である。図13(a)に示すように、面方位(100)の単結晶のシリコン基板81上に層間絶縁膜としてPSG膜82をCVD法により形成する。このときのPSG膜82の膜厚は例えば0.8 μ mとする。次いでPSG膜82上にエッチングストッパー膜としてのSi₃N₄膜83をCVD法により形成した後、Si₃N₄膜83上に配線の膜厚と同じ膜厚(0.3 μ m)のSiO₂膜84を常圧CVDにより形成する。

【0147】次にSiO₂膜84上に、CMPのストッパーとしてのSiO₂膜84表面のぬれ性改善のために、C膜85を直流マグネトロンスパッタリング法により成膜する。次いでレジストパターン86を形成した後、反応性イオンエッチングを用いてコンタクトホール87を形成する。このエッチングに用いるガスはSi₃N₄膜83と選択性がないガスを用いた。その後、レジストパターン86をダウンフローアッシング法により灰化、除去する。

【0148】次に図13(b)に示すように、レジストパターン86aを形成した後、反応性イオンエッチングにより、配線溝88を形成する。このエッチングに用いるガスは例えばフロロカーボンとCOの混合ガスのようにSiO₂膜84とSi₃N₄膜83との選択性が得られるものである。

【0149】次に図13(c)に示すように、ダウンフローアッシング法によりレジストパターン86aのみを灰化した後、硫酸と過酸化水素水の混合液中で除去、洗浄する。

【0150】次に図13(d)に示すように、直流マグネトロンスパッタリング法でA1薄膜89を無加熱で形

成する。ここで、A1薄膜89の膜厚は溝の深さと等しく0.3 μ mである。次いでスパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用い自然酸化膜の形成を制御しながら熱処理を行い、A1薄膜89の埋め込みを行なう。

【0151】最後に、図13(e)に示すように、配線領域外の広い領域に残留するA1薄膜89をCMP法により除去し、埋込み配線およびコンタクト配線を形成した後、CMPストッパーであるC膜85を酸素プラズマ中で灰化、除去する。

【0152】なお、本実施形態では、不要なA1薄膜89の除去に、CMP法を用いたが、レジストエッチバック法、メカニカルポリッシュ法、ケミカルポリッシュ法などのような除去方法を用いても良い。また、下層の層間絶縁膜はメルトリフロー法やポリッシュ法などで層間絶縁膜を平坦化することが好ましい。更に、C膜85の成膜を直流マグネトロンスパッタリングで行なったが、CVD法による成膜でも良い。

【0153】(第11の実施形態)図14は、第11の実施形態の埋込み配線の形成方法を示す工程断面図で、本実施形態は、コンタクトホールを形成した後、Wなどの導電膜を埋め込み、埋込み配線を形成する方法である。

【0154】図14(a)に示すように、面方位(100)の単結晶のシリコン基板91上に層間絶縁膜としてPSG膜92をCVD法により形成する。PSG膜92の膜厚は例えば0.8 μ mとする。次にPSG膜92上にエッチングストッパー膜としての厚さ0.1 μ mのSi₃N₄膜93をCVD法により形成する。Si₃N₄膜93の0.1 μ mとしたが上層に使われる膜とエッチングの際に選択性が得られれば薄くて良い。次いでSi₃N₄膜93上に配線の膜厚と同じ膜厚(0.3 μ m)のSiO₂膜94を常圧CVDにより形成した後、リソグラフィと反応性イオンエッチングを用いてコンタクトホール95を形成する。

【0155】次に図14(b)に示すように、コンタクトホール95内に選択的にWを埋め込み、W膜96を形成する。本実施形態では、コンタクト抵抗を下げるためにWをSi₃N₄膜93より高く埋め込んだが、Si₃N₄膜93と同じ高さでも、それ以下でも良い。

【0156】次に図14(c)に示すように、レジストパターン97を形成した後、反応性イオンエッチングによりSiO₂膜94をエッチングして、配線溝98を形成する。このエッチングに用いるガスは例えばフロロカーボンとCOの混合ガスのようにSiO₂膜94とSi₃N₄膜93との選択性が得られるものである。

【0157】次に図14(d)に示すように、レジストパターン97を酸素プラズマ中で灰化、除去する。次に直流マグネトロンスパッタリング法でA1薄膜99を無加熱で形成する。この後、スパッタリングと同一真空中

で、基板裏面からハロゲンランプなどを用い自然酸化膜の形成を制御しながら熱処理を行ない、A1薄膜99の埋め込みを行なう。

【0158】最後に、図14(e)に示すように、配線領域外のA1薄膜99をケミカルメカニカルポリッシング法により除去する。

【0159】本実施形態では、コンタクトホール95の埋込み材料としてWを用いたが、他の導電膜、例えば、多結晶シリコンを用いても良い。また、コンタクトホール95の埋込みは、PSG膜92、コンタクトホール95、 Si_3N_4 膜93、 SiO_2 膜94、配線溝98を順次形成した後に行なっても良い。更に、基板表面に TiSi_2 膜のようなシリサイド膜が形成されていても良い。

【0160】なお、第8の実施形態から本実施形態では省略したが、層間絶縁膜の下に素子が形成されている。

【0161】また、第8の実施形態から本実施形態では、下部の層間絶縁膜にはPSG膜、ストッパーに Si_3N_4 膜、上部の層間絶縁膜に SiO_2 膜を用いたが、BPSG膜、酸化シリコン膜、BN膜、ポリイミド膜、プラズマ酸化膜、プラズマ窒化膜等他の絶縁膜を選択的にエッチング可能である組み合わせであればどの膜を用いても良い。

【0162】更に、配線を3層、4層と重ねて形成する場合には、形成された配線の溶解温度以下で層間絶縁膜等の形成する。例えば、下部の層間絶縁膜にプラズマTEOS膜を用い、ストッパーにプラズマ窒化膜または直接窒化による窒化膜を用い、そして、上部の層間絶縁膜にプラズマTEOS膜を用いることにより、多重配線を形成できる。

【0163】更にまた、第8の実施形態から本実施形態では、配線材料としてAlを用いた場合について述べたが、Al合金、Cu、Ag、Au、Pt等の他の金属を用いても良い。

【0164】(第12の実施形態)図15は、第12の実施形態の埋込み配線の形成方法を示す工程断面図で、本実施形態は、配線材料としてCuなどのようにシリコン酸化膜に拡散しやすい材料を用いた場合の例で、この拡散をNb等のバリアメタルを用いて防止する方法である。

【0165】図15(a)に示すように、面方位(100)の単結晶のシリコン基板101上に層間絶縁膜としてプラズマTEOS(以下P-TEOSという)102をCVD法により形成する。このP-TEOS膜102の膜厚は例えば0.3 μm とする。次いでP-TEOS膜102上にエッチングストッパー膜としての厚さ0.1 μm のプラズマ Si_3N_4 (以下、P- Si_3N_4 という)膜103をCVD法により形成し、このP- Si_3N_4 膜103上に厚さ3 μm のプラズマTEOS(以下、P-TEOSという)膜104を形成する。

【0166】次にCMPのストッパーとしてC膜105

をスパッタ法により形成した後、リソグラフィと反応性イオンエッチングとを用いて配線溝106を形成する。このときのエッチングガスとしては、例えば、フロロカーボンとCOの混合ガスを用いて、P-TEOS膜とP- Si_3N_4 膜との選択性が得られるようにする。その後、上記リソグラフィで形成されたレジストパターンをダウンフローアッシング法で灰化する。

【0167】次に図15(b)に示すように、リソグラフィと反応性イオンエッチング(RIE)法を用いてコンタクトホール107を形成する。

【0168】次に図15(c)に示すように、直流マグネトロンスパッタリング法でバリアメタルとなるNb膜108を無加熱で形成し、続いて、配線となるCu膜109を形成する。本実施形態では、Cu膜109の成膜にスパッタリング法を用いたが、コリメーション法を用いるとなお良い。この後、スパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用いCu表面の自然酸化膜の形成を制御しながら熱処理を行ない、Cu膜109の埋め込みを行なう。

【0169】また、Cu膜109の別の埋め込み方法としては、真空中または1気圧未満のArなどの不活性ガス雰囲気中で基板温度を-200~400℃にコントロールし、XeCl(308nm)レーザを照射すると良い。レーザの波長は100~500nmでCuが光を十分吸収するものであれば良い。

【0170】特にCuの場合は308nm程度かそれ以下の波長でレーザを照射することによりCuの光の吸収率が70%以上となり、かつ表面層だけ加熱されることになる。

【0171】ところが、Cuを溶融するためには最高到達温度として1080℃以上となる加熱処理(昇温速度が1000℃/秒以上、加熱時間が1秒以内の加熱処理)が必要である。

【0172】したがって、上記の如きの加熱処理を用いる場合には、Cuの拡散を防止するために、1層構造のバリア膜ではなく、前述したような絶縁体からなるバリア膜(バリア絶縁膜)と金属からなるバリア膜(バリア導電膜)との2重構造のバリア膜をCu膜109の前に形成しておくことが望ましい(請求項7)。

【0173】バリア絶縁膜としては、シリコン窒化物、シリコン酸化物、アルミニウム酸化物(例えば Al_2O_3)等の酸化物が適当である。バリア導電膜としては表面を若干酸化したTiNでも良いが、粒界のないアモルファス WN_x 、 WSiN 、 TiSiN 等の窒化物を用いることによってより完全にCuの拡散を防止することができる。

【0174】次に図15(d)に示すように、配線領域外のCu膜109およびNb膜108をCMP法により除去する。

【0175】次に図15(e)に示すように、Cu膜1

09の表面にCuが拡散するのを抑制するために、バリアメタル膜としてのNb膜110を直流マグネトロンスパッタリング法により形成した後、CMP法により、C膜105上の余分なNb膜110を除去する。

【0176】最後に、CMPのストッパーに用いたC膜105を、酸素アッシング法により除去することにより、埋込み配線およびコンタクト配線が完成する。

【0177】この後、配線を積み重ねる場合は、以上述べた層間絶縁膜104の成膜から溝配線形成までを繰り返すと良い。

【0178】なお、本実施形態では、バリアメタルにNbを用いたが、要はバリア性があり、配線とのぬれ性を向上できる材料を用いれば良い。

【0179】(第13の実施形態)図16は、第13の実施形態の埋込み配線の形成方法を示す工程断面図であり、本実施形態は、コンタクトホールをWで選択的に埋め込んだ後に、埋込み配線を形成する方法である。

【0180】図16(a)に示すように、シリコン基板121上に層間絶縁膜としてP-TEOS膜122をCVD法により形成する。P-TEOS膜122の膜厚は例えば0.3 μ mとする。次いでリソグラフィと反応性イオンエッチングを用いてコンタクトホール123を形成した後、このコンタクトホール123の内部に選択的にWを埋め込み、W膜124を形成する。

【0181】図16(b)に示すように、厚さ0.1 μ mのP-Si₃N₄膜125をCVD法により形成した後、配線と同じ膜厚(0.3 μ m)のP-TEOS膜126を形成する。次いでCMPのストッパーに用いるC膜127を形成した後、リソグラフィと反応性イオンエッチングを用いて、配線溝128を形成する。このエッチングに用いるガスは、例えば、フロロカーボンとCOの混合ガスのように、P-TEOS膜122とP-Si₃N₄膜125との選択性が得られるガスを用いる。この後、上記リソグラフィで形成されたレジストパターンをダウンプローアッシング法で灰化した。

【0182】次に図16(c)に示すように、直流マグネトロンスパッタリング法でバリアメタルとなるNb膜129を無加熱で形成し、続いて、配線となるCu膜130を形成する。本実施形態ではスパッタリング法を用いてCu膜130を形成したが、コリメーション法を用いるとなお良い。この後、スパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用いCu表面の自然酸化膜の形成を制御しながら熱処理あるいはレーザーアニールを用いて、Cu膜130の埋め込みを行なう。

【0183】次にCu膜130の表面に絶縁膜などを堆積した際にCuが堆積した絶縁膜中に拡散するのを抑えるために、バリアメタルとしてのNb膜131を直流マグネトロンスパッタリング法により形成した後、CMP法により、C膜127上の余分なNb膜129を除去する。

【0184】次に配線領域外のCu膜109をCMP法により除去した後、このCMPのストッパーに用いたC膜127を酸素アッシング法により除去し、図16

(d)に示すような構造の埋込み配線が完成する。

【0185】更に、配線を積み重ねる場合は、図16(e)に示すように、エッチングストッパ膜132、P-TEOS等の膜等層間絶縁膜133を形成した後、リソグラフィと反応性イオンエッチングを用いてコンタクトホールを形成し、このコンタクトホールにWなどの導電膜134を埋め込むなどを繰り返すと良い。

【0186】(第14の実施形態)図17は、第14の実施形態に係る埋込み配線の形成方法を示す工程断面図であり、本実施形態は、P-TEOS膜とP-Si₃N₄膜を用いて、埋込み配線を2層以上形成する方法である。

【0187】図17(a)に示すように、シリコン基板141上に層間絶縁膜として厚さ0.3 μ mのP-TEOS膜142をCVD法により形成した後、リソグラフィと反応性イオンエッチングを用いてコンタクトホール143を形成する。この後、このコンタクトホール143内に選択的にWを埋め込み、W膜144を形成する。

【0188】次に図17(b)に示すように、ストッパーとしての厚さ0.1 μ mのP-Si₃N₄膜145をCVD法により形成した後、配線の膜厚と同じ膜厚(0.3 μ m)のP-TEOS膜146を形成する。次にリソグラフィと反応性イオンエッチングを用いて配線溝147を形成する。このエッチングには、例えば、フロロカーボンとCOの混合ガスを用い、P-TEOS膜142とP-Si₃N₄膜145との選択性が得られるようにする。この後、上記リソグラフィで形成されたレジストパターンをダウンプローアッシング法で炭化する。

【0189】次に直流マグネトロンスパッタリング法で配線となるAl膜を全面に形成した後、スパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用いAl表面の自然酸化膜の形成を制御しながら熱処理を行ない、Al膜の埋め込みを行なう。

【0190】次に図17(c)に示すように、配線領域外のAl膜をCMP法により除去し、1層目の埋込み配線148を完成させる。

【0191】次に図17(d)に示すように、プラズマSi₃N₄膜149、層間絶縁膜としてのプラズマTEOS膜150を順次形成した後、リソグラフィと反応性イオンエッチングを用いて、コンタクトホール151を形成する。次いでコンタクトホール151内にWを選択的に埋め込み、W膜152を形成する。

【0192】次に2層目の埋込み配線を形成するために、図17(e)に示すように、ストッパーとなるP-Si₃N₄膜153、P-TEOS膜154を順次形成した後、リソグラフィと反応性イオンエッチングを用い

て配線溝を形成する。この後、 $P-Si_3N_4$ 膜153を反応性イオンエッチングにより除去する。

【0193】次に直流マグネトロンスパッタリング法によりバリアメタルとしてNb膜155を無加熱で全面に形成し、続いて、配線としてのCu膜156を全面に形成する。本実施形態ではCu膜156の成膜にスパッタリング法を用いたがコリメーション法や、ターゲットとウェハとの間の距離を100mm以上離し、Ar圧力は $8 \times 10^{-4} \text{ Torr}$ 以上としたロングディスタンスのスパッタ法を用いると、Cuの段差被覆性が良いためなお良い。

【0194】この後、スパッタリングと同一真空中で、基板裏面からハロゲンランプなどを用い自然酸化膜の形成を制御しながら、熱処理またはレーザアニールにより、溝内にCu膜156を埋め込む。

【0195】次にCu膜156の表面に汚染物等が拡散しないように、バリアメタルとしてのNb膜157を直流マグネトロンスパッタリング法により形成した後、CMP法により、余分なNb膜155、157を除去する。

【0196】最後に、配線領域外のCu膜156をCMP法により除去して、2層目の埋込み配線が完成する。3層、4層重なる場合には、これらを繰り返せば順序は異なっても良い。

【0197】本実施形態では、中間層をコンタクトホール（ビアホール）としたが、これを配線にする場合は $P-Si_3N_4$ 膜を選択的に除去することで、コンタクトホール（ビアホール）の代用が可能となる。

【0198】以上配線の形成方法について説明したが層間絶縁膜下に素子が形成されていても同様の方法にて溝配線の形成が可能である。

【0199】（第15の実施形態）図24～図26は、本発明の第15の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【0200】まず、図24（a）に示すように、半導体基板301の表面にフィールド酸化膜302を形成した後、拡散層303、ゲート酸化膜304、ゲート電極305を形成した後、全面に第1の層間絶縁膜306を形成する。

【0201】ここで、第1の層間絶縁膜306としては、例えば、CVD法により形成した SiO_2 膜またはCVD法により形成したB、Pなどの不純物を含んだ SiO_2 膜、あるいはプラズマCVD法により形成した SiO_2 膜またはプラズマCVD法により形成し、ソースガスとしてTEOS系のガスを用いた SiO_2 膜またはプラズマCVD法により形成し、絶縁膜の誘電率を低下させるためにFを添加した SiO_2 膜、あるいはこれらの積層膜を用いる。

【0202】次に図24（b）に示すように、第1の層間絶縁膜306の表面を平坦化する。この平坦化の方法

としては、例えば、CMP法、レジストエッチバック法等を用いる。

【0203】次に図24（c）に示すように、配線溝の形成時にエッチングストッパーとして機能する絶縁膜からなる第1のエッチングストッパー膜307、配線溝に供する第2の層間絶縁膜308、後工程でスルーホールを形成する時にエッチングストッパーとして機能し、且つ配線層をエッチングする時にエッチングストッパーとして機能する第2のエッチングストッパー膜309を順次形成する。

【0204】ここで、第2の層間絶縁膜308は、第1の層間絶縁膜306と同様に SiO_2 系の材料を用いて形成する。

【0205】また、第1のエッチングストッパー膜307は、第1の層間絶縁膜306、第2の層間絶縁膜308と材質が異なることが必要であり、例えば、 SiN 、 $SiON$ 等を用いる。この SiN 、 $SiON$ 等はプラズマCVD法等で形成しても良いし、また、 SiO_2 をプラズマ窒化処理により改質して形成しても良い。

【0206】また、第2のエッチングストッパー膜309の材料は、スルーホールの形成時に、エッチングストッパーになるという性質の他に、配線層のエッチング時にエッチングストッパーになるという性質を有するものでなければならず、このような性質を有する材料としては、例えば、100nm以下のCがある。また、 SiN と $SiON$ とCとの積層としても良い。

【0207】次に図25（a）に示すように、配線用のレジストパターン310を形成した後、図25（b）に示すように、レジストパターン310をマスクにして、第2のエッチングストッパー309、第2の層間絶縁膜308をエッチングする。この後、レジストパターン310を除去する。このようにして第2の層間絶縁膜308に配線溝が形成される。

【0208】ここで、第2のエッチングストッパー膜309と第2の層間絶縁膜308のエッチングは、フッロカーボン系のガスを用いて連続的に行なってもよいし、あるいは不連続的に行なってもよい。

【0209】また、レジストパターンの310の除去は、例えば、 O_2 アッシングにより行なう。

【0210】また、第2のエッチングストッパー膜309としてC膜を用いた場合には、レジストパターンの310の除去は、例えば、硫酸：過酸化水素水＝3：2程度の溶液を用いたウェットエッチングにより行なう。

【0211】また、下地に金属材料が露出している場合には、レジストパターンの310の除去は、例えば、ダウンフローアッシング等により行なう。

【0212】次に図25（c）に示すように、レジストパターン311を形成した後、このレジストパターン311をマスクにして、第1のエッチングストッパー膜307、第1の層間絶縁膜306をエッチングして、スル

ーホール312a, 312bを形成する。このとき、下地段差のために、ゲート電極305上のスルーホール312bは浅く、拡散層303上のスルーホール312aは深く形成される。

【0213】ここで、図示の如く、レジストパターン311が配線溝にかからないように形成すれば、たとえ横方向(幅方向)にレジストパターン311の合わせズレが生じて、第2のエッチングストッパー309が存在するため、配線溝と同じ幅のスルーホール312a、312bを形成できる。

【0214】次に図26(a)に示すように、レジストパターン311を除去した後、深い方のスルーホールに合わせて、選択CVD法、あるいは無電解めっき法といった選択成長により、コンタクト層313a, 313bを形成する。

【0215】このとき、浅い方のスルーホールのコンタクト層313bは、浅い方のスルーホールからあふれ、配線溝の一部を埋めることになるが、二つのコンタクト層313a, 313bの高さ(膜厚)はどの部分でもほぼ等しくなる。

【0216】次に図26(b)に示すように、拡散防止膜314を形成した後、配線層315を形成する。ここで、拡散防止膜314の材料としては、例えば、Al, Ti, TiN, Nb, W、あるいはこれらを積層したもの、あるいはこれらの合金を用いる。また、配線層315としては、例えば、Cu, Ag, Au、あるいはこれらの合金を用いる。すなわち、コンタクト層よりも抵抗の低い材料を用いる。次に図26(c)に示すように、配線溝以外の拡散防止膜314、配線層315をCMP法等によりエッチング除去することにより、表面を平坦化するとともに、コンタクト層313a, 313b上にそれぞれ配線315a, 315bを形成する。

【0217】ここで、図26(c)のa-a'断面は、図27に示すように、コンタクト層313bはスルーホールからあふれており、これにより、コンタクト層313bと配線315bのコンタクト面積が増大し、コンタクト抵抗の低減が図れる。

【0218】本実施形態によれば、スルーホールの途中までコンタクト層313a, 313bを形成した後、配線315a, 315bとなる配線層315を全面に形成し、この配線層315の全面をエッチング(または研磨)することにより、表面が平坦な配線315a, 315bが得られる。したがって、後工程で形成する層間絶縁膜の平坦化が容易になる。

【0219】更に、実施形態の場合、コンタクト層313a, 313bの高さが同じで、且つ配線配線315a, 315bの抵抗がコンタクト層313a, 313bのそれよりも低くなっているため、スルーホールおよび配線溝(開口部)内の抵抗や信頼性を同じようにできる。

【0220】図28は、本実施形態の変形例を示す断面図であり、これは浅い方のスルーホールに合わせてコンタクト層313a, 313bを形成した例である。図28(a)は図26(c)に対応する断面図である。また、図28(b)は図27に対応する断面図であり、図28(a)のb-b'断面図である。

【0221】(第16の実施形態)図29は、本発明の第16の実施形態に係る半導体装置の要部の概略構成を示す断面図である。

【0222】これを製造工程に従い説明すると、まず、SiO₂系の層間絶縁膜321の表面に配線溝を形成する。層間絶縁膜321の種類としては、例えば、CVD法により形成したSiO₂またはCVD法により形成したB、Pなどの不純物を含んだSiO₂、あるいはプラズマCVD法で形成したSiO₂またはプラズマCVD法で形成し、ソースガスとしてTEOS系のガスを用いたSiO₂またはプラズマCVD法で形成し、Fを0.1~10%の濃度で添加したSiO₂を用いる。

【0223】次にN₂プラズマ処理により、配線溝の側部および底部の層間絶縁膜321を窒化して、SiN_xまたはSiO_yN_zからなる拡散防止膜322を形成する。窒化により成膜を行なっているため、他の方法に比べて工程の簡略化が図れ、更に、配線溝に抵抗の高い材料が入らないため、抵抗の上昇を防ぐことができる。次に導電材料からなる拡散防止膜323で周囲が覆われた配線324を形成する。

【0224】次に配線表面からの拡散をより完全に防ぐために、絶縁材料からなる拡散防止膜325を全面に形成する。この拡散防止膜325の材料は、後工程でスルーホールを形成する際のストッパー膜として働くものを用いる。

【0225】本実施形態によれば、配線324が三つの拡散防止膜322, 323, 325で覆われているので、配線324の構成物質の拡散をより完全に防止できる。

【0226】(第17の実施形態)図34~図37は、本発明の第17の実施形態に係る埋込み配線の形成方法を示す工程断面図である。

【0227】まず、図34(a)に示すように、所望の素子(不図示)が形成されたSi基板などの半導体基板501上に層間絶縁膜502を形成する。層間絶縁膜502としては、例えば、CVD法で形成したアンドープSiO₂膜や、B、P等の不純物を含んだSiO₂膜や、プラズマCVD法で形成したSiO₂膜や、ソースガスとしてはTEOS系ガスをを用いたSiO₂膜を用いる。また、層間絶縁膜502の誘電率を下げるため、弗素などをドーピングしたものでも良い。

【0228】次いで層間絶縁膜502の表面をプラズマ窒化し、層間絶縁膜502の表面にプラズマ窒化膜503を形成する。プラズマ窒化膜503の形成方法として

は、例えば、チャンバ室温度350～450℃、 10^{-3} ～10 Torrの窒素プラズマ中で、3～60分間処理し、 SiN_x 、 SiO_yN_z などを形成する。この SiO_yN_z 膜等は層間絶縁膜502の誘電率を増加することがないように数1～10 nmとすることが望ましい（以下のプラズマ窒化膜に関しても同様とする）。

【0229】ここで、プラズマ窒化膜503は、層間絶縁膜502が水分を吸収するの防止する役割を果たす。また、寄生容量を低減するために層間絶縁膜502にドーパントを含ませた場合には、ドーパントの外方拡散を防止する役割も果たす。

【0230】次いでプラズマ窒化膜503上に後工程で形成される平坦化および選択性が崩れた金属膜をレジストエッチバックやCMP等により除去する際にエッチングストップとして利用されるストップ膜504を形成した後、このストップ膜504上にコンタクトホール形成用のレジストパターン505を形成する。

【0231】ここで、ストッパー膜504としては、例えば、炭素(C)の薄膜などを用いると良い。また、ストッパー膜4は、後工程におけるレジストパターン形成時の露光の反射を防止する役割も果たす。

【0232】次に図34(b)に示すように、レジストパターン505をマスクとして、ストッパー膜504、プラズマ窒化膜503および層間絶縁膜502を異方性エッチングし、コンタクトホールを形成する。

【0233】このとき、ストッパー膜504、プラズマ窒化膜503および層間絶縁膜502の異方性エッチングは連続で行ない、エッチングガスとしては、例えば、フロロカーボン系を用いる。なお、ストップ膜504、プラズマ窒化膜503、層間絶縁膜502の異方性エッチングは、各々不連続で行なってもよい。

【0234】次に図34(c)に示すように、レジストパターン505を除去する。このレジストパターン505の除去には、 O_2 アッシングを用いても良いが、ストッパー膜504にCの薄膜を用いる場合には、硫酸：過酸化水素水＝3：2程度の溶液でウェットエッチングを行なうと良い。更に、下地に金属が剥きだして存在する場合には、Fを含むガス（例えば、 CF_4 ガス）と酸素を含むガスとの混合ガスのプラズマから取り出した励起された原子または分子を利用したダウンフローアッシングなどを用いると良い。

【0235】次いでコンタクトホールの底面および側面にプラズマ窒化膜506を形成する。具体的には、例えば、温度100～500℃の不活性ガス雰囲気中でアニールし、十分水分を蒸発させた後で、連続的に上記プラズマ窒化膜503と同様の方法により、プラズマ窒化膜506を形成する。このプラズマ窒化膜506も、後工程でコンタクトホール内に埋込む金属膜507の抵抗上昇を防止するために、膜厚は数1～10 nmの薄膜であることが望ましい。また、コンタクトホールの底面が、

例えば、 TiSi_x 、 NiSi_x 、 CoSi_x 等であれば、これらをプラズマ窒化し、導電性のある合金に変えると良い。

【0236】ここで、配線溝の側部の層間絶縁膜502の表面はプラズマ窒化膜506で被覆されているので、層間絶縁膜502の水分吸収を防止できる。

【0237】次に図34(d)に示すように、例えば、W、Cuなどの金属膜507をコンタクトホール内に堆積する。このとき、平坦化および選択性が崩れた金属膜507aも形成される。平坦化および選択比が崩れた金属膜を除去するために、全面にレジスト508を形成する。

【0238】ここで、配線溝の底部にはプラズマ窒化膜506が形成されているので、金属膜507の構成原子が半導体基板501に拡散するのを防止できる。すなわち、プラズマ窒化膜506はバリアメタルとして機能する。

【0239】次に平坦化および選択性が崩れた金属膜507aを除去するため、図35(a)に示すように、レジスト508と金属膜507のエッチングレート等を等しくして、ストッパー膜504の高さまでエッチバックする。この平坦化は、CMPにより行なっても良い。

【0240】次に、図35(b)に示すように、ストッパー膜504を除去する。ストッパー膜504としてCの薄膜を用いた場合には、酸素を用いたリアクティブイオンエッチング(RIE)や O_2 アッシングにより除去すると良い。

【0241】次に図35(c)に示すように、層間絶縁膜509を形成した後、その表面をプラズマ窒化してプラズマ窒化膜510を形成する。次いでプラズマ窒化膜510上にストッパー膜511を形成した後、配線溝形成用のレジストパターン512を形成する。

【0242】次に図36(a)に示すように、レジストパターン512をマスクとして、ストッパー膜511、プラズマ窒化膜510をエッチングし、引き続き、層間絶縁膜509をエッチングする。層間絶縁膜509のエッチングはプラズマ窒化膜503（耐エッチング膜）の所で止まるようにする。

【0243】次に図36(b)に示すように、レジストパターン512をダウンフローアッシングにより除去した後、配線溝の側面の層間絶縁膜509の表面をプラズマ窒化して、プラズマ窒化膜513を形成する。このプラズマ窒化膜513により層間絶縁膜509の水分吸収を防止できる。また、この工程で、コンタクトホール内の金属膜507の表面が窒化されるが、プラズマ窒化膜513は導電性がある合金なので、金属膜507の導電性は失われない。

【0244】次に図36(c)に示すように、直流マグネトロンスパッタ法を用いて、例えば、Nb、V、W、Mo、Al、Ti、TiNあるいはこれらの積層膜、あ

るいはこれら合金からなる拡散防止膜514を全面に形成する。

【0245】このとき、拡散防止膜514の厚さは、配線抵抗の増加を抑制する観点から数1〜30nm程度とすることが望ましい。

【0246】この後、例えば、Au、Ag、Cu、あるいはこれらの合金からなる配線材料膜515を堆積する。この配線材料膜515の作成は、具体的には、スパッタ法、CVD法、メッキ法などがあるが、例えば、コリメータを用いて配線材料膜をスパッタリングするか、または 10^{-4} 〜 10^{-3} Torr台の不活性ガス雰囲気中で、ターゲットと基板の距離を10cm以上離してスパッタリングするか、または配線材料を構成する金属または粒子をイオン化し、基板にバイアスを印加すると良い。

【0247】スパッタリングで成膜する場合には、0.1Paよりも低いAr圧力でスパッタターゲットと半導体基板との距離を200mmよりも大きくした状態でCuおよびバリアメタル(W、TaまたはTiのシリコン窒化物)を成膜することが好ましい。

【0248】図49に、Ar圧力を変化させたときのCuおよびWSiNの段差被覆率を示す。段差被覆率はコンタクトホール外部の半導体基板表面に堆積した膜厚に対するコンタクトホール底部の膜厚の比率を意味し、Arスパッタ圧力に対してプロットしてある。また、図49には、コンタクトホールの深さを約1 μ mとしてアスペクト比を変えた場合の測定結果も示してある。アスペクト比はコンタクトホールの深さのコンタクトホールの開口寸法に対する比を意味する。また、ターゲットと半導体基板との距離は250nmである。

【0249】図49からアスペクト比によらず0.1Pa以下のAr圧力で段差被覆率が急増しており、これはスパッタ粒子の平均自由行程が長くなりターゲットから半導体基板の方向に直進できるスパッタ粒子の数が増加したことを示す。

【0250】しかしながら、圧力が低下するとグロー放電が起こり難くなるため、ターゲットを支えるバックングプレート内に強力な固定磁石または電磁石を設置して、電場と垂直方向の磁場を強くすることによって、プラズマ密度を高めることが必要となる。

【0251】このような手法は従来から行なわれているが、ターゲット表面がスパッタリングでえぐられるのに伴い最適な磁場が変化するために、スパッタ速度やスパッタ領域の面積やスパッタ粒子の飛行方向が経時変化しやすいという問題がある。また、強力な磁石を用いてもプラズマ密度が低いために、例えば、0.03PaのAr圧力下ではCuやWSiNのスパッタ速度が1/6〜1/10に減少してしまう。

【0252】本実施態様では、プラズマ密度を上げるために、ターゲットにDCバイアス電圧だけではなく、そ

れと重畳するようにACバイアス電圧を印加するか、またはターゲット近傍にターゲットと平行にターゲットを覆うように電子銃から電子を供給することによって、より低いDCバイアス(ターゲットカソードに加える直流電圧)でプラズマを発生させることが可能となる。この高密度プラズマ法を用いることによってスパッタ膜の堆積速度は5〜10倍増加させることが可能となる。また、基板にもDCバイアス電圧およびACバイアス電圧を印加するとさらに良い。

【0253】本実施態様に従えばCuのスパッタ速度は500nm/min.以上となる。典型的な堆積速度は800〜900nm/min.であり、電源線として用いるCu配線に必要なCu膜厚は2.5 μ mであるが、これを約3分以内で成膜を完了することが可能になる。

【0254】また、スパッタ粒子の直進性をさらに向上させるためにはスパッタ粒子にも電子を供給するか高周波の電磁場を加え、半導体基板にバイアスを印加するようにすれば良い。

【0255】このような方法により、配線材料膜515を異方性堆積できる。その後、溝部を完全に配線材料膜515で埋め込むために、配線材料515が酸化されず、更に周辺の絶縁膜への拡散もなく、更にまた、溝内部からの吸い出しの起こらないレーザアニールなどによりリフローしても良い。

【0256】次に図37(a)に示すように、CMP法などの平坦化技術により、配線材料膜515および拡散防止膜514をストッパー膜511の高さまでエッチングする。

【0257】次に図37(b)に示すように、ストッパー膜511を除去する。ストッパー膜511にCの薄膜を用いた場合には、酸素を用いてリアクティブイオンエッチングによりCの薄膜を除去すると良い。

【0258】最後に、図37(c)に示すように、絶縁膜からなる表面保護膜516を全面に形成する。あるいはCuと合金化(酸化、拡散防止膜)する金属、例えば、Alなどを全面に1〜50nm形成し、加熱した後、CuとAlの未反応部分(配線以外)を選択的に除去し、その上に絶縁膜を形成しても良い。

【0259】この後、配線を積み重ねる場合には、上述した図1(a)の層間絶縁膜502の形成から、溝配線形成までを繰り返せば良い。ただし、配線材料膜515にCuなどの酸化しやすいものを用い、その上にコンタクトを取る場合には、コンタクトホールに埋め込む金属を堆積する前に露出している配線材料膜515の表面を還元するか、またはスパッタ法を利用したクリーニングなどを行なうと良い。以上述べたように本実施形態によれば、プラズマ窒化膜により、配線溝の幅の狭化を招くことなく、層間絶縁膜の水分吸収や、配線層の構成原子の拡散を防止でき、もって、信頼性の向上が図れるようになる。

【0260】図45は、シリコン酸化膜の表面に窒素プラズマ処理を施した場合の分析結果である。図45からシリコン酸化膜の表面から～10nmまでの深さのところには窒素が含まれていることが分かる。すなわち、Si絶縁膜の表面にプラズマシリコン窒化膜が形成されていることを確認できた。このように表面にプラズマシリコン窒素が形成されたシリコン酸化膜を調べたところ、シリコン酸化膜をエッチングする際、プラズマシリコン窒化膜が耐エッチング膜として働くこと、および配線材料の拡散防止膜として働くこと、更にシリコン酸化膜の吸水防止膜としても働くことを確認した。

【0261】(第18の実施形態)図38～40は、本発明の第18の実施形態に係る埋込み配線の形成方法を示す工程断面図である。

【0262】まず、図38(a)に示すように、所望の素子(不図示)が形成された半導体基板601上に層間絶縁膜602を形成した後、層間絶縁膜602の表面を窒素プラズマ処理することにより、層間絶縁膜602の表面にSiON膜などのプラズマ窒化膜603を形成する。層間絶縁膜602としては、例えば、SiO₂膜または不純物を含んだSiO₂膜を用いる。

【0263】次にプラズマ窒化膜603上に層間絶縁膜609を形成した後、この層間絶縁膜609の表面にプラズマ窒化610を形成する。次いでCMP法での耐エッチング膜としてのストッパー膜611を形成した後、配線溝形成用のレジストパターン612を形成する。層間絶縁膜609としては、例えば、SiO₂膜または不純物を含んだSiO₂膜を用いる。また、ストッパー膜611としては、例えば、Cの薄膜を用いる。

【0264】次に図38(b)に示すように、レジストパターン612をマスクとして、まず、ストッパー膜611およびプラズマ窒化膜610をエッチングし(第1ステップ)、続いて、層間絶縁膜609をエッチングする(第2ステップ)という、2ステップのエッチングを行なう。このとき、プラズマ窒化膜603によって層間絶縁膜602はエッチングされない。

【0265】次に図38(c)に示すように、レジストパターン612を除去する。このレジストパターン612の除去には、ダウンフローアッシングまたは硫酸と過酸化水素水との混合溶液を用いたウェットエッチングにより行なうと良い。

【0266】次に図39(a)に示すように、配線溝の幅の寸法より大きく、スルーホール開孔用のレジストパターン615を形成する。

【0267】次に図39(b)に示すように、レジストパターン615およびストッパー膜611をマスクとして、プラズマ窒化膜603、層間絶縁膜602をエッチングする。

【0268】次に図39(c)に示すように、ダウンフローアッシングなどによりレジストパターン615を除

去した後、加熱することで配線溝とコンタクトホールとの側面から水分や余剰Fを取り除いた後、窒素プラズマ処理により、配線溝内にプラズマ窒化膜617を形成する。

【0269】次に図40(a)に示すように、コンタクトホール内に金属膜607を選択的に形成する。実際のLSIでは浅いコンタクトホールや深いコンタクトホールがある。本実施形態では、深いコンタクトホールから溢れるように金属膜607を形成している。金属膜607としては、例えば、W、Cu、Al、Au、Agなどの金属膜を用いる。なお、金属膜607の代わりに多結晶Siなどの導電材料の膜を用いても良い。要は導電膜であれば良い。

【0270】次に図40(b)に示すように、全面に拡散防止膜614を形成した後、例えば、Au、Ag、Cu、あるいはこれらの合金からなる配線材料膜615を堆積する。

【0271】次に図40(c)に示すように、配線領域外の配線材料膜615および拡散防止膜614、更に金属膜607をCMP法により除去する。

【0272】これ以降のプロセスは、先の実施形態の図36(b)で説明したプロセスと同様に、ストッパー膜611を除去した後、絶縁膜からなる表面保護膜616を全面に形成する。配線を積み重ねる場合には、先の実施形態の図37(c)で説明したプロセスと同様に、Cuの薄膜上の絶縁膜の形成から繰り返せば良い。

【0273】(第19の実施形態)図41、図42は、本発明の第19の実施形態に係る埋込み配線の形成方法を示す工程断面図である。

【0274】まず、図41(a)に示すように、先の実施形態と同様の方法により、所望の素子(不図示)が形成された半導体基板701上に層間絶縁膜702を形成し、次いで窒素プラズマ処理により層間絶縁膜702の表面にプラズマ窒化膜703を形成する。この後、プラズマ窒化膜703上にコンタクトホール開孔用のレジストパターン705を形成する。

【0275】次に図41(b)に示すように、レジストパターン705をマスクとして、プラズマ窒化膜703をエッチングする。このとき、層間絶縁膜702の途中までエッチングしても良いし、下地に酸化ダメージなどの悪影響がなければ、コンタクトホールの底部までエッチングしても良い。

【0276】次に図41(c)に示すように、O₂アッシングなどにより、レジストパターン705を除去する。

【0277】次に図41(d)に示すように、全面に層間絶縁膜709を形成した後、この層間絶縁膜709の表面にプラズマ窒化膜710を形成する。次いでこのプラズマ窒化膜710上にストッパー膜711を形成した後、このストッパー膜711上に配線溝形成用のレジス

トパターン712を形成する。配線溝形成用レジストパターン712の幅は下地に開孔されたコンタクトホール
の直径よりも大きくても小さくても良い。

【0278】次に図42(a)に示すように、レジストパターン712をマスクとして、まず、ストッパー膜711およびプラズマ窒化膜710をエッチングし(第1ステップ)、続いて、層間絶縁膜709、702をエッチングする(第2ステップ)という、2ステップのエッチングを行なう。第2ステップのエッチングでは、プラズマ窒化膜703がマスクの役割を果たす。このとき、配線溝部分はプラズマ窒化膜703によって層間絶縁膜702はエッチングされない。

【0279】次に図42(b)に示すように、レジストパターン712を除去する。このレジストパターン712の除去は、ダウンフローアッシングまたは硫酸と過酸化水素水との混合溶液を用いたウェットエッチングにより行なう。次いで配線溝とコンタクトホールの側面および底面を加熱し、水分や、余剰Fを除去した後、窒素プラズマ処理により、プラズマ窒化膜717を形成する。このプラズマ窒化膜717により層間絶縁膜702、709の水分吸収を防止できる。

【0280】これ以降の形成方法は、第18の実施形態の図40(a)以降のプロセスと同様である。

【0281】なお、上記絶縁膜の作成やその窒素プラズマ処理は、図43や図44に示す半導体製造装置を用いると良い。

【0282】図43の半導体製造装置は、大きく分けて、5つの真空槽、つまり、ロード室825、アンロード室826、搬送室827、窒素プラズマ処理室828および絶縁膜形成室829により構成されている。

【0283】これら真空槽825~829にはターボ分子ポンプ823およびドライポンプ824が設けられており、これらにより、真空槽825~829内の圧力を所望の真空度に素早く設定できるようになっている。

【0284】また、窒素プラズマ処理室828および絶縁膜形成室829内には、プラズマ放電用電極820およびヒータを備えたサセプタ819が設けられている。プラズマ放電用電極820はRF電源に接続されている。更に、窒素プラズマ処理室828には N_2 ガスや NH_3 などの原料ガスを導入するためのガス導入ノズル821が設けられ、絶縁膜形成室829にはTEOSガス、 CF_4 ガス、 O_2 ガスなどの原料ガスを導入するためのガス導入ノズル822が設けられている。

【0285】このように構成された半導体製造装置によれば、まず、ロード室825からウェハ818が搬送室827に設けられたアーム(不図示)により絶縁膜形成室829に送り込まれ、この絶縁膜形成室829内でウェハ818上に絶縁膜が形成される。

【0286】次いでウェハ818は搬送室827に設けられたアーム(不図示)により窒素プラズマ処理室82

8内に送り込まれ、この窒素プラズマ処理室828内でウェハ818上に形成された絶縁膜の表面が窒素プラズマ処理され、プラズマ窒化膜が形成される。

【0287】次いでウェハ818は搬送室827に設けられたアーム(不図示)によりアンロード室826が送り込まれる。

【0288】この後、新たなウェハがロード室825に送り込まれ、先のウェハと同様な処理が施される。

【0289】このような半導体製造装置を用いれば、大気に晒すことなく各膜の作成を連続的行なうことが可能となる。なお、ここでは、絶縁膜を形成した後にプラズマ窒化膜を形成する場合について説明したが、この半導体製造装置を用いることによりサンドイッチ構造の絶縁膜も形成できる。

【0290】図44の半導体製造装置が図43のそれと異なる点は、2つの窒素プラズマ処理室828a、828bが備わっていることにある。このような構成にすることにより、図43の半導体製造装置よりもスループットが高くなる。

【0291】(第20の実施形態)配線材料の拡散を複数のバリア層で防止する方法は、上に凸の形状をもつ配線にも適用できる。その実施形態の図47の工程断面図を用いて説明する。

【0292】まず、図47(a)に示すように、半導体基板901上に層間絶縁膜902を堆積した後、この層間絶縁膜902上に絶縁膜からなるバリア層903を堆積する。

【0293】次いでバリア層904となる金属膜、配線材料膜905となる金属膜、バリア層906層となる金属膜を順次堆積した後、これら金属膜をパターニングして、金属からなるバリア層904、配線材料膜905配線、金属からなるバリア層905の積層膜からなる配線を形成する。

【0294】次に図47(b)に示すように、配線の側壁を被覆するように金属からなるバリア層907を形成する。

【0295】次に図47(c)に示すように、全面RIEにより、配線側壁以外のバリア層907を選択的に除去する。この結果、底面、上面および側面の全てが金属からなるバリア層904、906、907により被覆された配線が形成される。

【0296】最後に、図47(d)に示すように、全面を絶縁膜からなるバリア層908で覆う。

【0297】このように本実施形態によれば、上に凸の形状を有する配線でも複数のバリア層覆うことができる。

【0298】(第21の実施形態)プラズマ窒化膜は、通常の凸型配線を形成した際にも、スルーホール開孔時のエッチングストップとして用いることができる。この実施形態を図48の工程断面図を用いて説明する。

【0299】まず、図48(a)に示すように、半導体基板1001上に絶縁膜1002を堆積する。この後、絶縁膜1002上に配線1003を形成する。

【0300】次に図48(b)に示すように、ウェハ全面をプラズマ窒化処理し、絶縁膜1002の表面、配線1003の露出部分(側面、上面)の表面に、それぞれ、プラズマ窒化膜1004、1005を形成する。

【0301】ここで、プラズマ窒化膜1004は絶縁性の膜となるが、プラズマ窒化膜1005は金属を主体にする膜となるので、導電性が保たれる。さらに、プラズマ窒化膜1005は、後工程で熱処理が施される場合には、ヒロックの発生を防止する膜としても働く。

【0302】次に図48(c)に示すように、全面に層間絶縁膜1006を堆積した後、この層間絶縁膜1006上にスルーホール開孔用のレジストパターン1007を形成する。このとき、図48(c)に示すように、レジストパターン1007には合わせずれが生じている。

【0303】図48(d)に示すように、レジストパターン1007をマスクとして、層間絶縁膜1006をエッチングする。絶縁膜1002上にプラズマ窒化膜1004が存在するので、合わせずれがあっても、絶縁膜1002はエッチングされない。したがって、層間リーク等の問題を防止できる。

【0304】(第22の実施態様)図50は、本発明の第22の実施態様に係る埋め込み配線の形成方法を示す工程断面図である。

【0305】まず、図50(a)に示すように、半導体素子が形成された半導体基板2001上に、絶縁膜2002、アルミニウム配線2003、第1、第2の層間絶縁膜2004、2005を順次形成する。

【0306】次に図50(b)に示すように、配線溝2006を開孔した後、コンタクトホール2007を開孔し、次いで全面にWSiNからなるバリア金属膜2008、埋込み配線となるCuからなる配線材料膜2009を順次形成する。配線材料膜2009の成膜には上述した堆積速度の速いスパッタ法を用いる。

【0307】最後に、図50(c)に示すように、レーザアニールにより配線材料膜2009のみを加熱して、配線溝2006、コンタクトホール2007内に配線材料膜2009を埋め込んだ後、余分な配線材料膜2009とバリア金属膜2008をCMP法により除去して、埋め込み配線が完成する。

【0308】このとき、レーザアニールは半導体基板2001に形成された半導体素子の特例劣化(具体的には例えば拡散層の再拡散による特性劣化)を防止するために、昇温速度が1000℃/秒以上、加熱時間が1秒以内にすることが好ましい。

【0309】なお、バリア金属膜2008の1層構造のバリア膜ではなく、上述したバリア金属膜2008とバリア絶縁膜との2層構造のバリア膜とすることが好

ましい。また、バリア膜は配線溝2006、コンタクトホール2007の内部全体に形成する必要は必ずしもない。ただし、配線溝2006、コンタクトホール2007の少なくとも底部には形成する。

【0310】図51に、本実施態様のより好ましい(より実用的な)埋め込み配線構造の断面図を示す。

【0311】これはローカル配線である1層目の配線から3層目の配線として、A1配線(1A1~3A1)を使用し、グローバル配線である4層目および5層目の配線としてCu配線(4Cu、5Cu)を用いたものである。

【0312】このような埋め込み配線構造によれば、これまでLSIの動作速度を向上させるために検討されてきた低抵抗金属であるCuを、グローバル配線(上層)に適用しているので、大幅に性能を向上させることができ、一方、スピードに寄与しないローカル配線(下層)には従来から使用されているA1配線を用いているので、トランジスタ等のアクティブな素子は安定した特性を示す。

【0313】また、Cu配線の下層のA1配線のパターンを網目状にすることにより、Cu配線中のCuがバリア金属膜2008を漏れて外部に拡散しても、A1配線がゲットリングするので、それよりも下層にCuが拡散するのを防止できる。これにより、Cu配線を形成した後の熱工程を経ても、トランジスタ等の半導体素子の素子特性は劣化することはない。

【0314】なお、ここでは、グローバル配線としてCu配線を用いた場合に説明したが、Au、Ag等の他の低抵抗、低融点の金属を用いても同様な効果が得られる。

(第23の実施態様)図52は、本発明の第23の実施態様に係る埋め込み配線の形成方法を示す工程断面図である。

【0315】まず、図52(a)に示すように、半導体素子が形成された半導体基板2101上にSiO₂膜などの絶縁膜2102を形成した後、この絶縁膜2102上にエッチングストップ膜2103を形成する。エッチングストップ膜2103としては、SiN、SiONなどの絶縁膜を用いると良い。この後、同図(a)に示すように、エッチングストップ膜2103上にSiO₂膜などの絶縁膜2104を形成する。

【0316】次に図52(b)に示すように、絶縁膜2104、エッチングストップ膜2103、絶縁膜2102をエッチングして、コンタクトホールを形成し、次いで絶縁膜2104をエッチングして配線溝を形成する。

【0317】次に図52(c)に示すように、バリア金属膜2105(例えば、厚さ30nm程度のWSiN膜)を形成した後、このバリア金属膜2105上に配線材料膜2106(例えばCu膜)を形成する。この場合も上述したバリア絶縁膜と金属からなるバリア導電膜

との2重構造のバリア膜を用いることが好ましい。

【0318】次に同図(c)に示すように、前述した条件のレーザアニールにより配線材料膜2106を溶融させ、流動させることにより、図52(d)に示すように、配線溝、コンタクトホール内に配線材料膜2106を埋め込む。この配線材料膜2106の表面は平坦となる。

【0319】最後に、余分な配線材料膜905、バリア金属膜904を例えばCMP法により除去して、図52(e)に示すような埋め込み配線が完成する。

【0320】なお、本発明は上述した実施形態されるものではない。例えば、上記実施形態は、主として本発明を配線層に適用した場合について説明したが、本発明は電極にも適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0321】

【発明の効果】以上詳述したように本発明によれば、Au、Ag、Cu等の低比抵抗、低融点の配線材料を有効に用いた半導体装置を実現できるようになる。

【図面の簡単な説明】

【図1】第1の実施形態に係る埋込み配線の前半の形成方法を示す工程断面図

【図2】第1の実施形態に係る埋込み配線の後半の形成方法を示す工程断面図

【図3】第1の実施形態の変形例を示す断面図

【図4】第3の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図5】第2の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図6】第4の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図7】第5の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図8】第6の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図9】第6の実施形態に係る埋込み配線の形成方法を示す平面図

【図10】第7の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図11】実施形態に係る埋込み配線の形成方法を示す工程断面図

【図12】実施形態に係る埋込み配線の形成方法を示す工程断面図

【図13】実施形態に係る埋込み配線の形成方法を示す工程断面図

【図14】第11の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図15】第12の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図16】第13の実施形態に係る埋込み配線の形成方

法を示す工程断面図

【図17】第14の実施形態に係る埋込み配線の形成方法を示す工程断面図

【図18】従来の配線の形成方法を示す工程断面図

【図19】図18の配線の形成方法の問題点を説明するための図

【図20】従来の他の配線の形成方法を示す工程断面図

【図21】従来の他の配線の形成方法を示す工程断面図

【図22】埋込み配線における従来のスルーホールの形成方法を示す工程断面図

【図23】埋込み配線における従来の他のスルーホールの形成方法を示す工程断面図

【図24】第15の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図25】第15の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図26】第15の実施形態に係る半導体装置の後半の製造方法を示す工程断面図

【図27】図26(c)のa-a'断面図

【図28】第15の実施形態に係る半導体装置の変形例を示す断面図

【図29】第16の実施形態に係る半導体装置の要部の概略構成を示す断面図

【図30】従来の半導体装置の前半の製造方法を示す工程断面図

【図31】従来の半導体装置の後半の製造方法を示す工程断面図

【図32】従来の他の半導体装置の製造方法を示す工程断面図

【図33】従来の更に別の半導体装置の製造方法を示す工程断面図

【図34】第17の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図35】第17の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図36】第17の実施形態に係る半導体装置の後半の製造方法を示す工程断面図

【図37】第17の実施形態に係る半導体装置の後半の製造方法を示す工程断面図

【図38】第18の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図39】第18の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図40】第18の実施形態に係る半導体装置の後半の製造方法を示す工程断面図

【図41】第19の実施形態に係る埋込み配線の前半の形成方法を示す工程断面図

【図42】第19の実施形態に係る埋込み配線の後半の形成方法を示す工程断面図

【図43】埋込み配線の形成に用いる半導体製造装置の

模式図

【図44】埋込み配線の形成に用い他の半導体製造装置の模式図

【図45】シリコン酸化膜の表面に窒素プラズマ処理を施した場合の分析結果を示す図

【図46】従来の埋込み配線の形成方法を示す工程断面図

【図47】第20の実施形態に係る半導体装置の製造方法を示す工程断面図

【図48】第21の実施形態に係る半導体装置の製造方法を示す工程断面図

【図49】Ar圧力と段差被覆率とアスペクト比の関係を示す図

【図50】本発明の第22の実施態様に係る埋め込み配線の形成方法を示す工程断面図

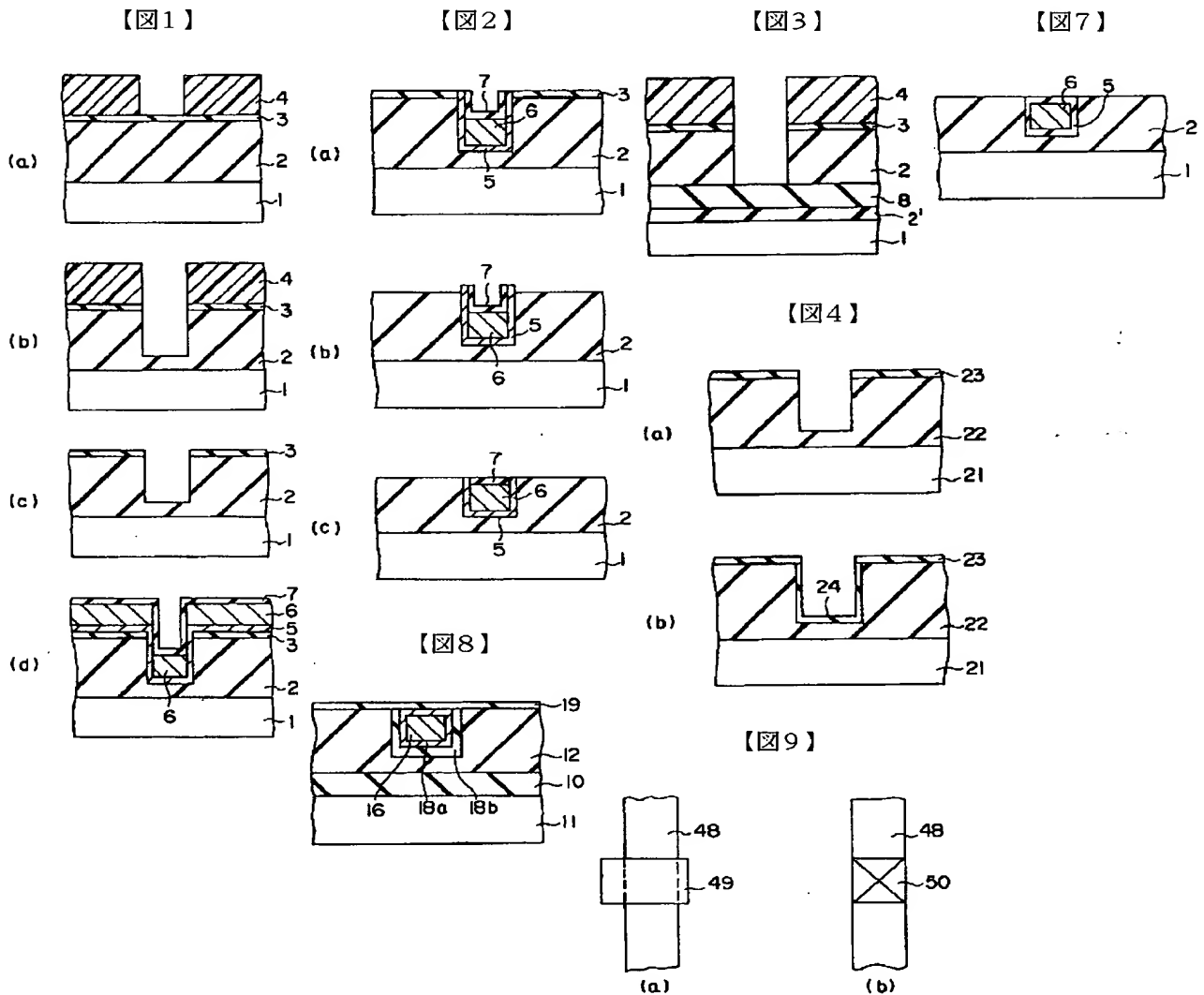
【図51】第22の実施態様のより好ましい形態を示す断面図

【図52】本発明の第23の実施態様に係る埋め込み配

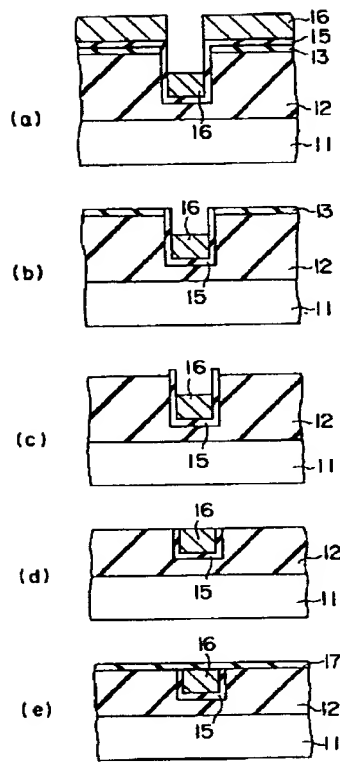
線の形成方法を示す工程断面図

【符号の説明】

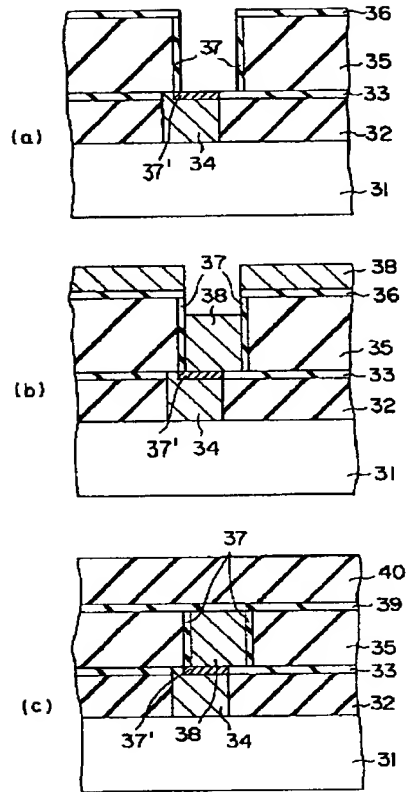
- 2001…半導体基板
- 2002…絶縁膜（第1の絶縁膜）
- 2003…アルミニウム配線（第1の配線層）
- 2004…第1の層間絶縁膜（第2の絶縁膜）
- 2005…第2の層間絶縁膜（第3の絶縁膜）
- 2006…配線溝
- 2007…コンタクトホール
- 2008…バリアメタル（隔絶膜）
- 2009…配線材料膜（第2の配線層）
- 2101…半導体基板
- 2102…絶縁膜
- 2103…エッチングストップ膜
- 2104…絶縁膜
- 2105…バリアメタル
- 2106…配線材料膜



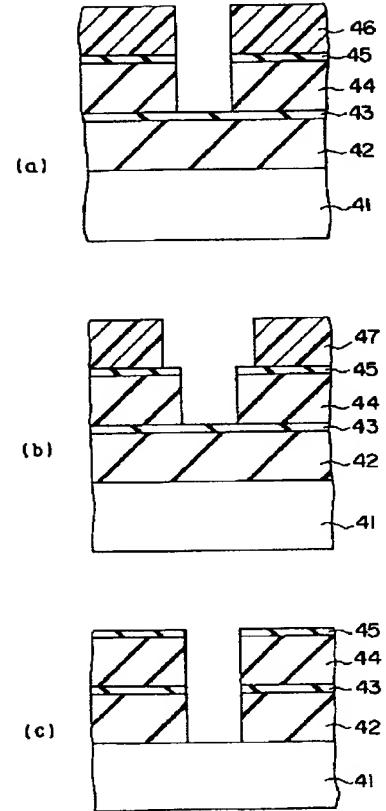
【図5】



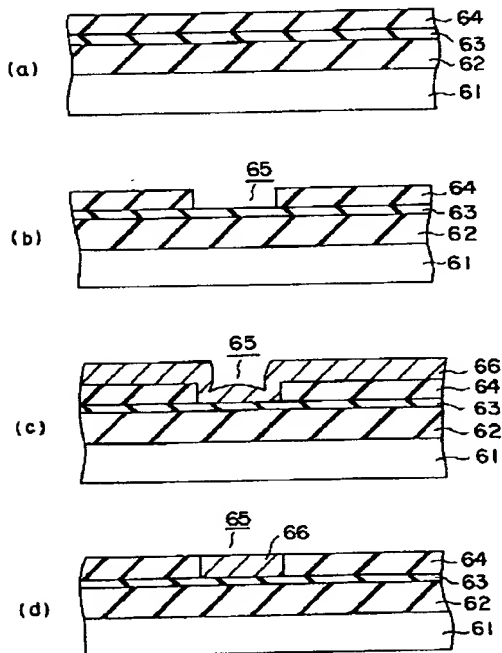
【図6】



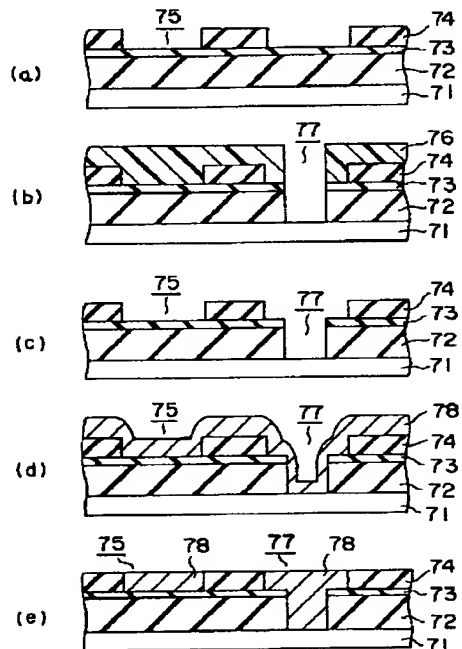
【図10】



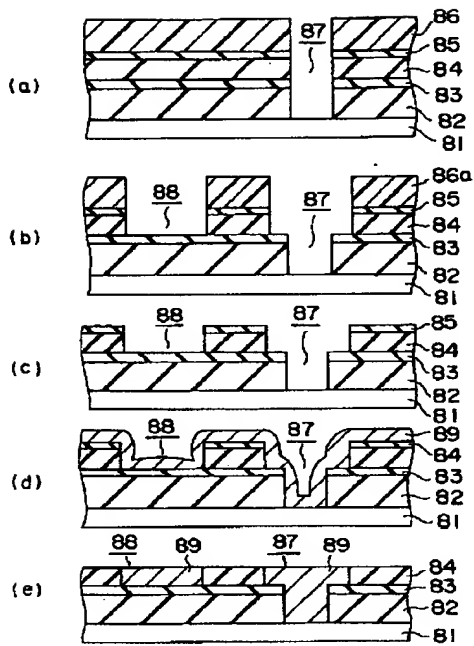
【図11】



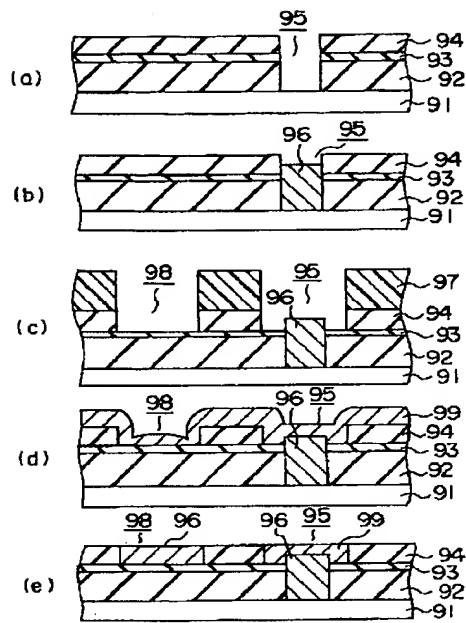
【図12】



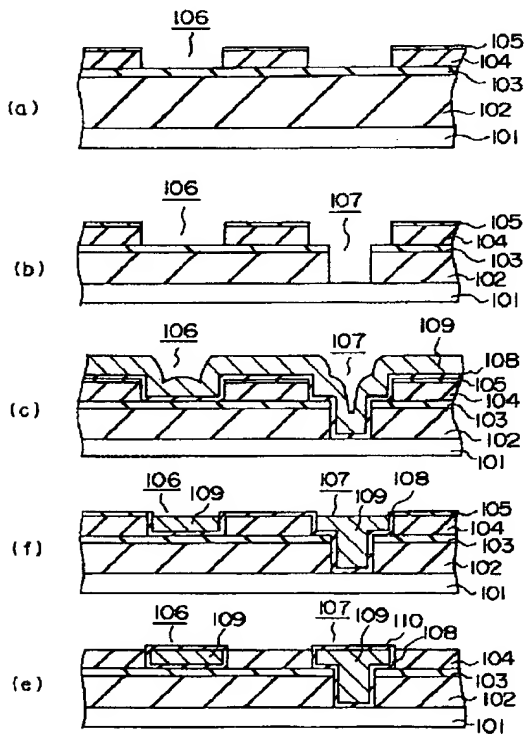
【図13】



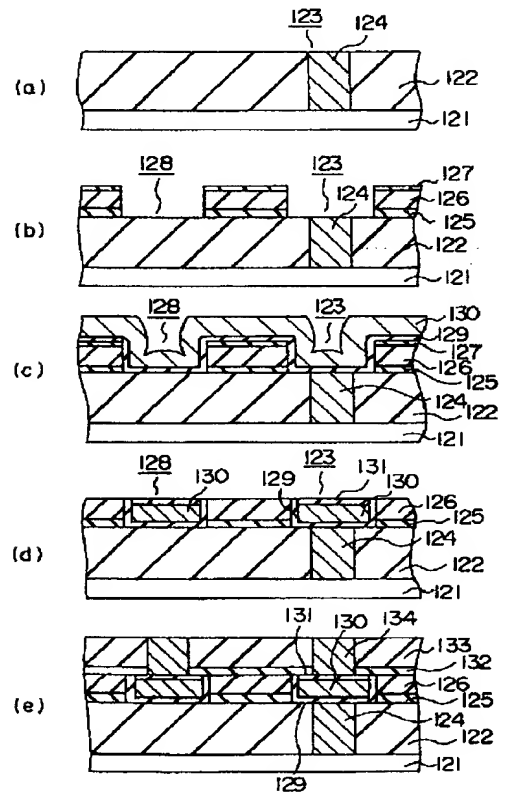
【図14】



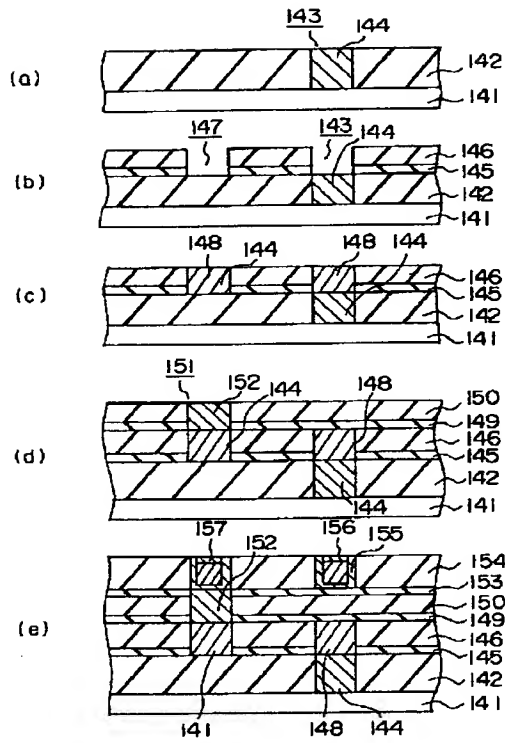
【図15】



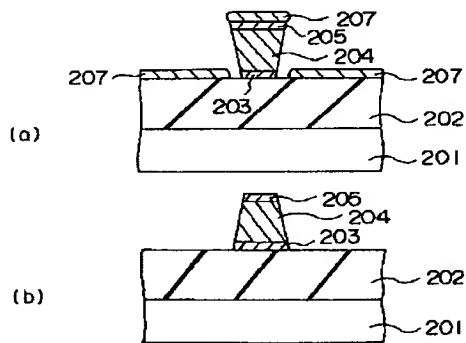
【図16】



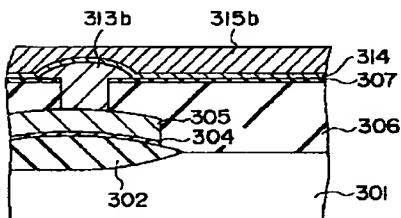
【図17】



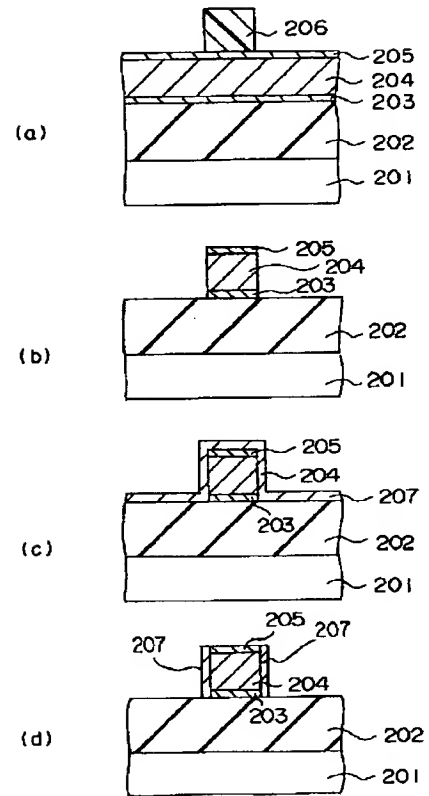
【図19】



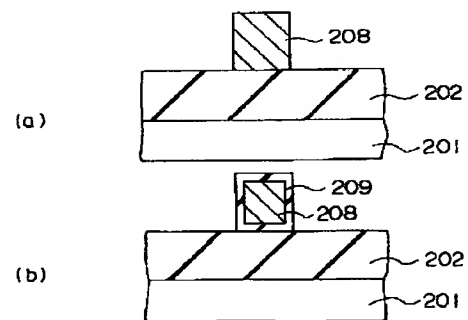
【図27】



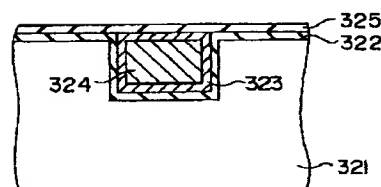
【図18】



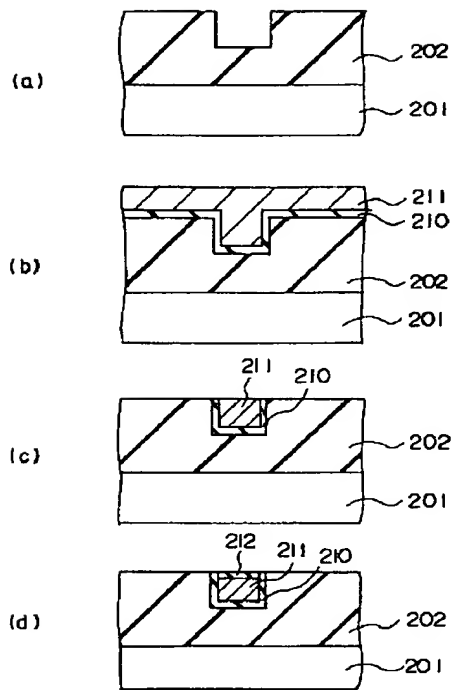
【図20】



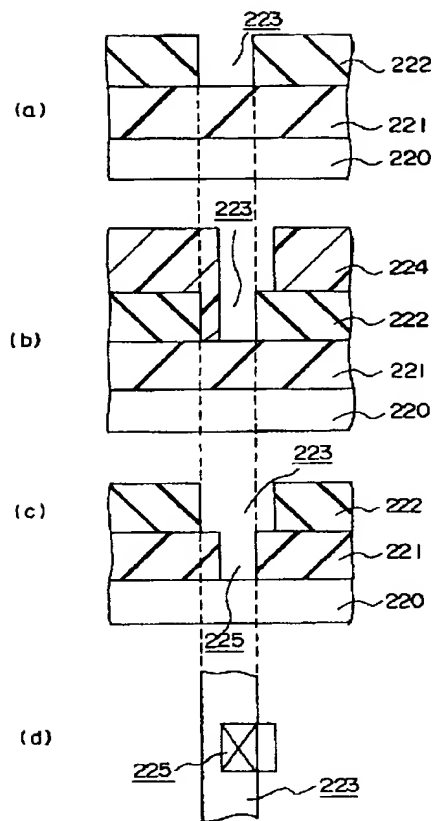
【図29】



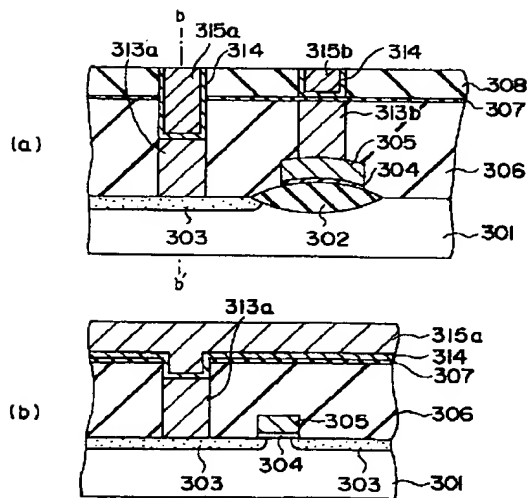
【図21】



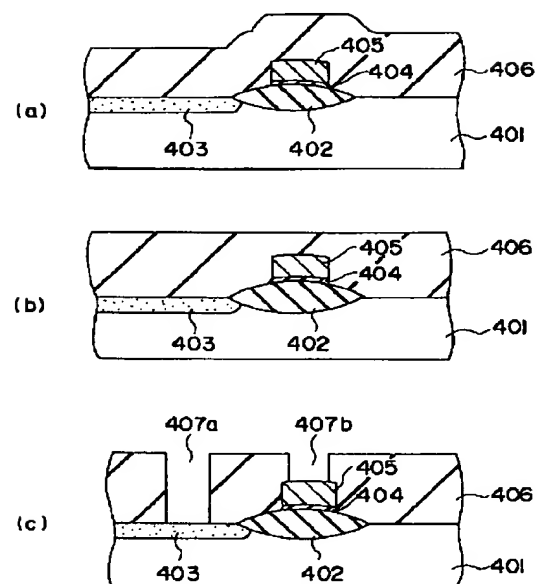
【図22】



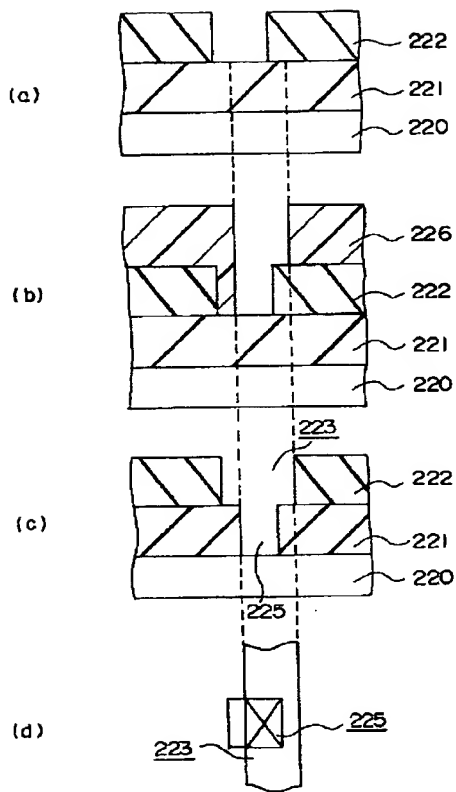
【図28】



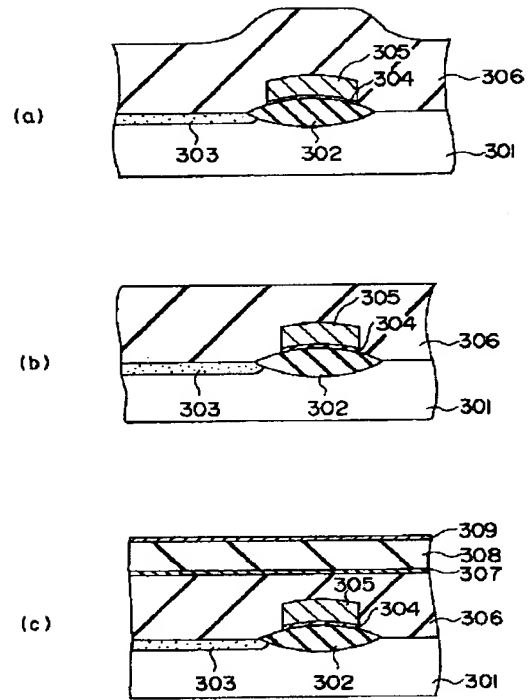
【図30】



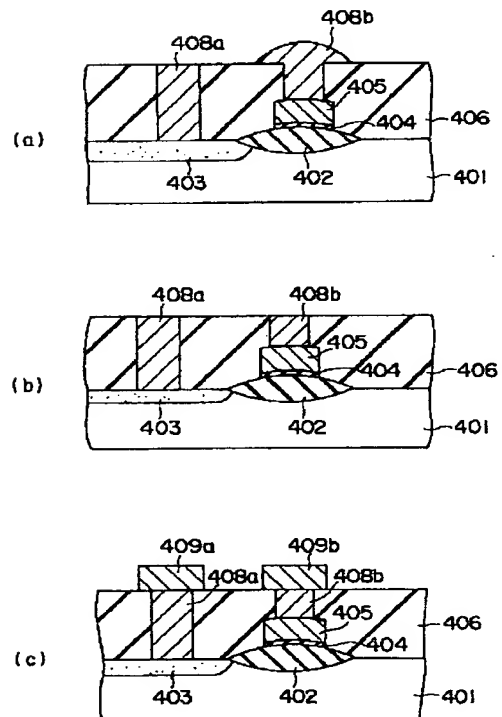
【図23】



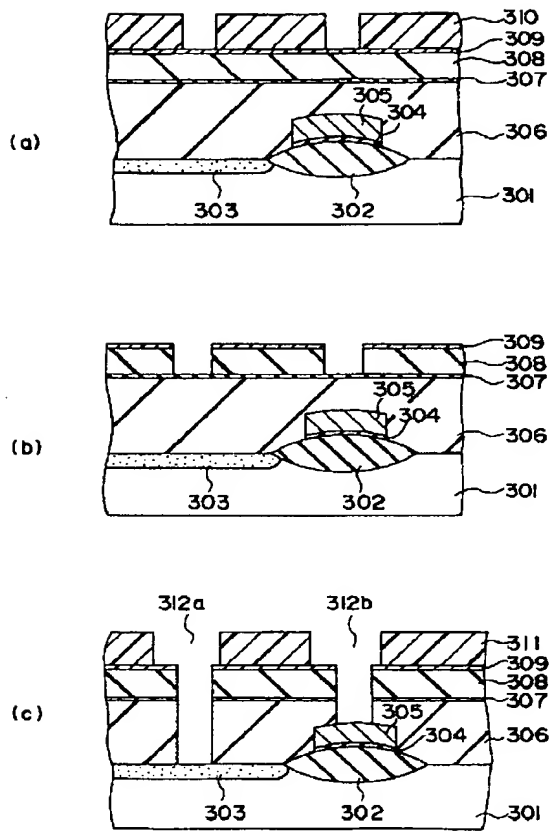
【図24】



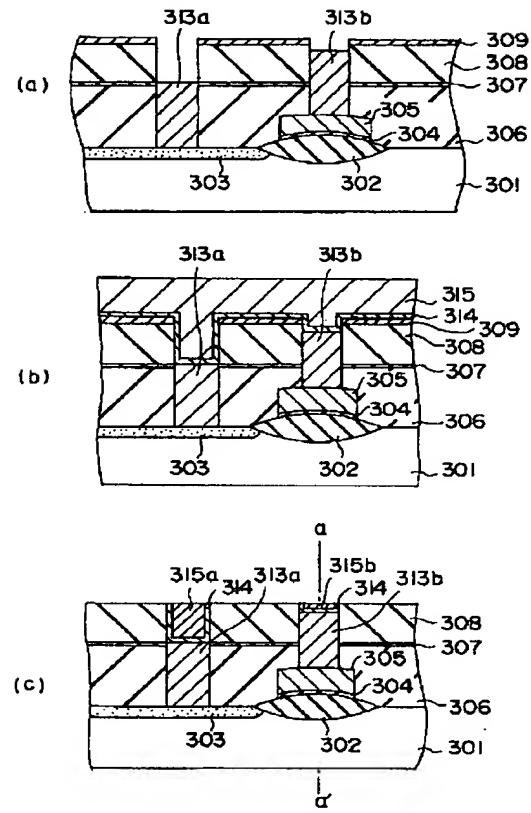
【図31】



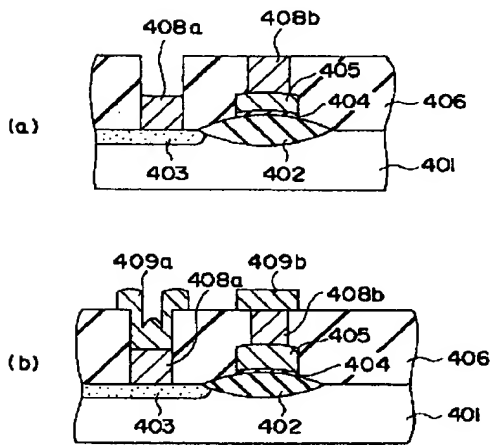
【図25】



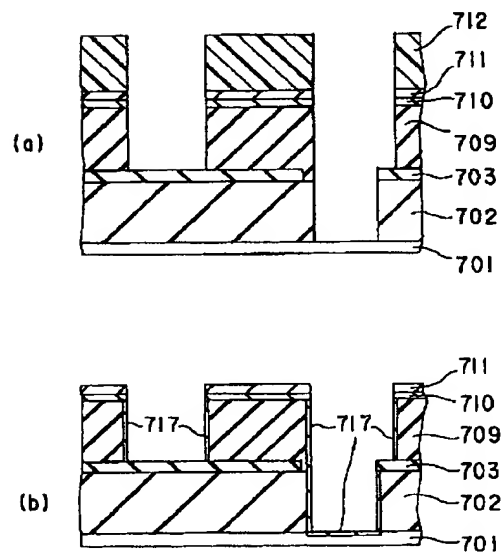
【図26】



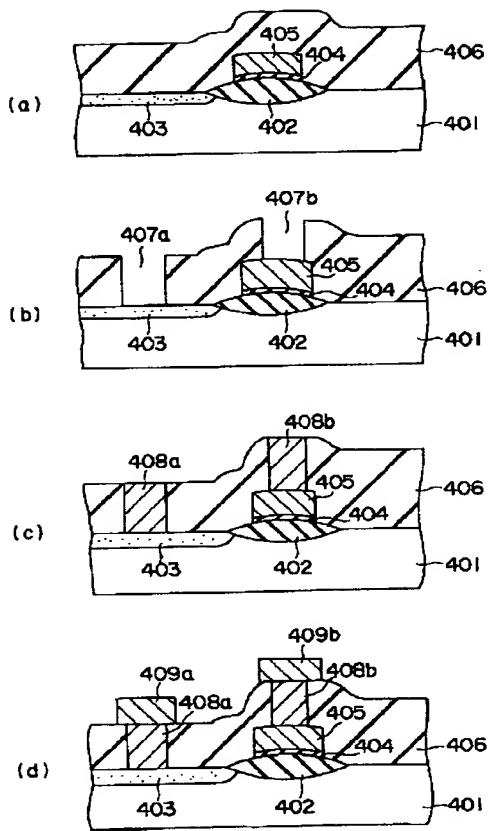
【図32】



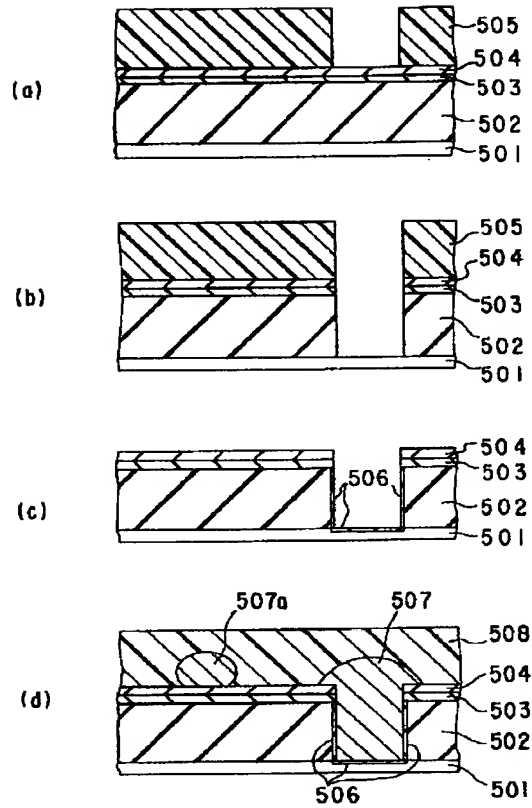
【図42】



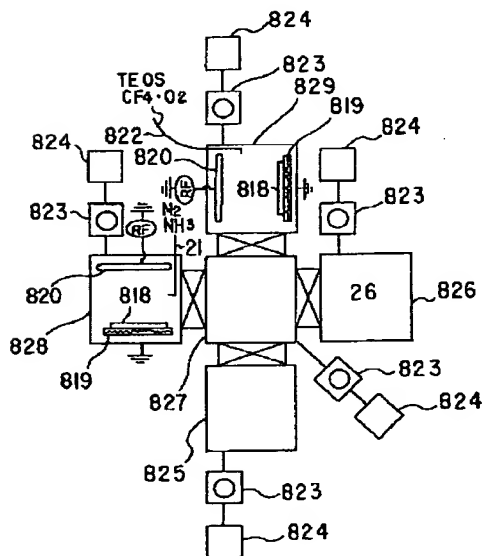
【図33】



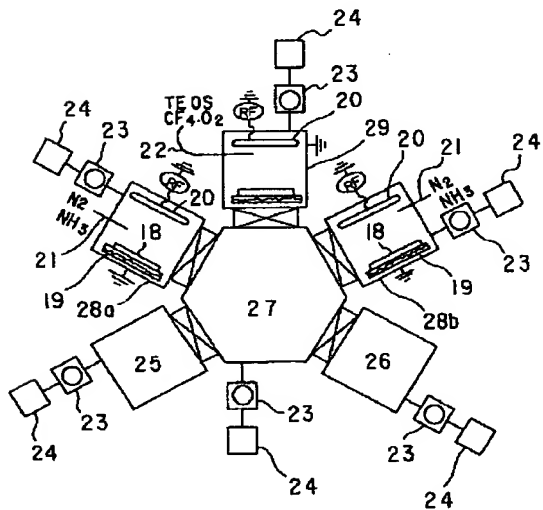
【図34】



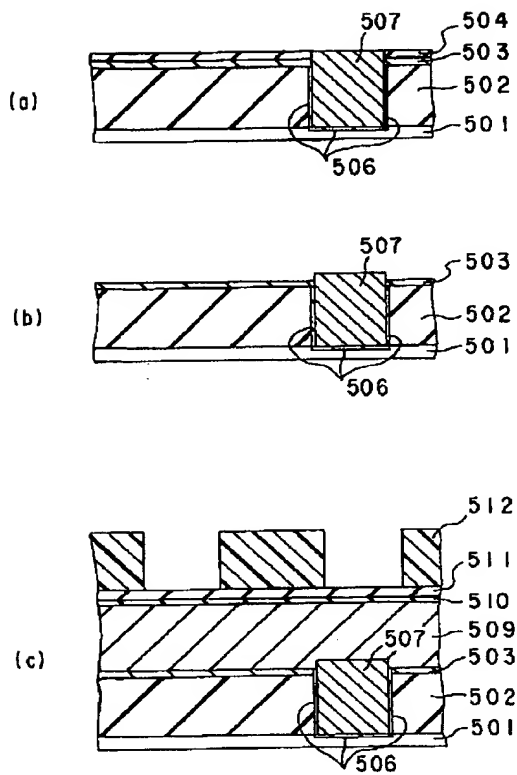
【図43】



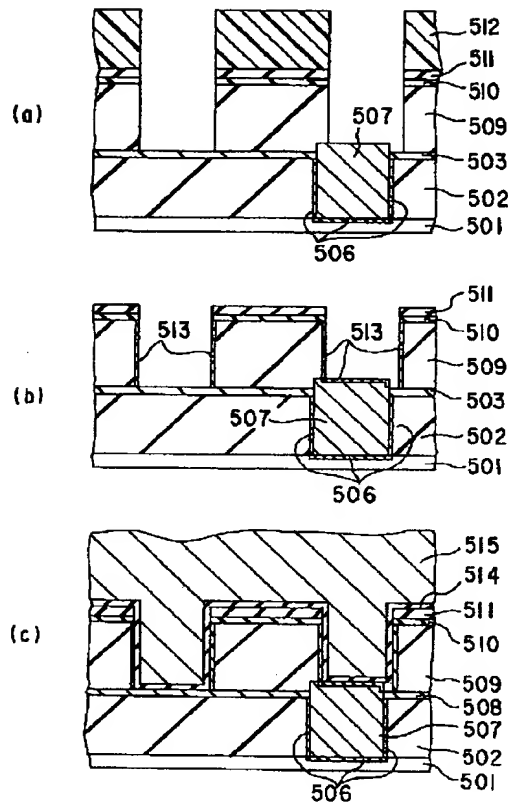
【図44】



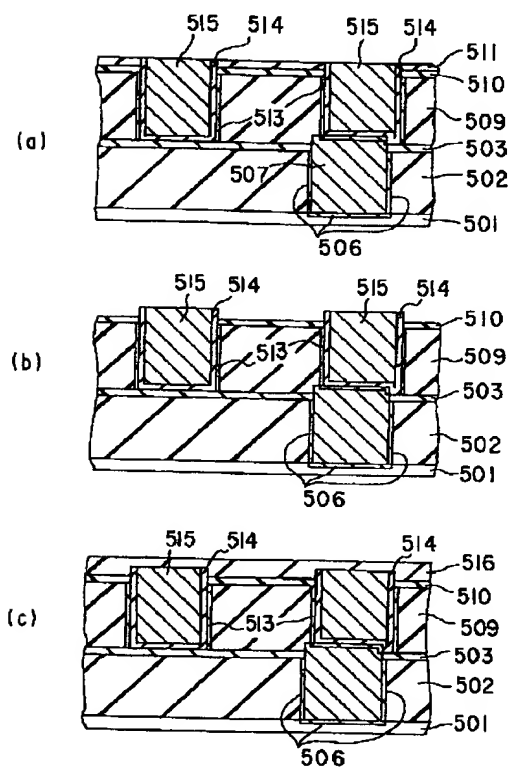
【図35】



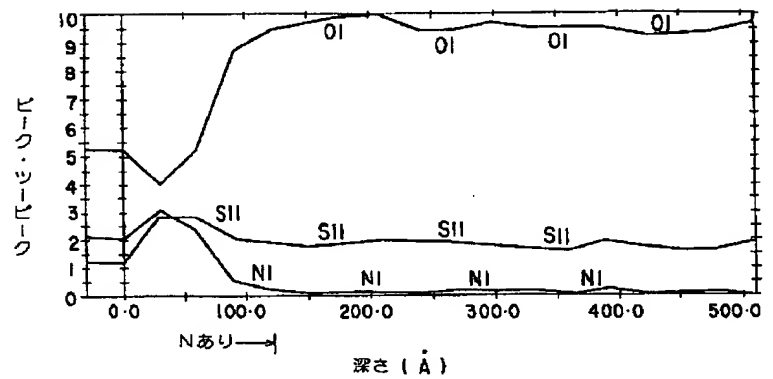
【図36】



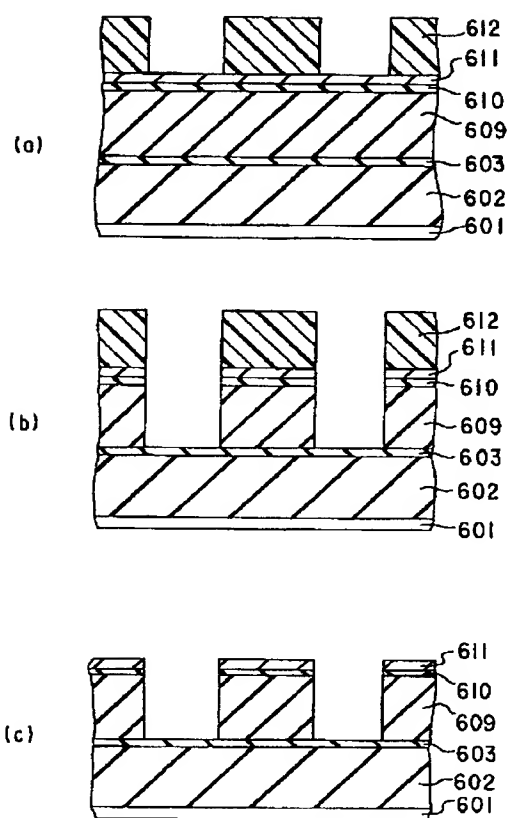
【図37】



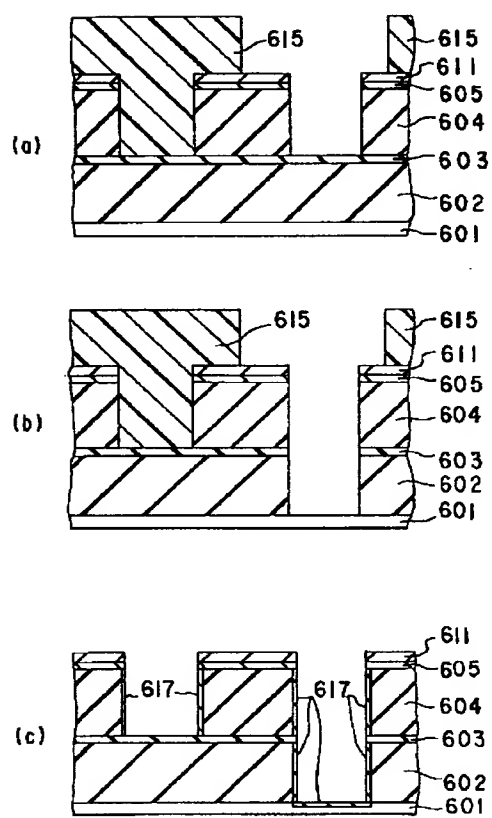
【図45】



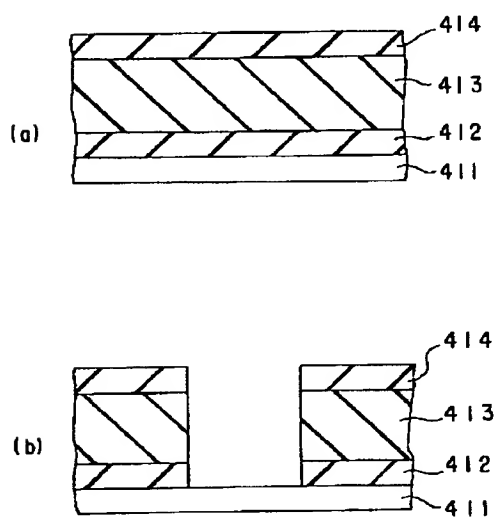
【図38】



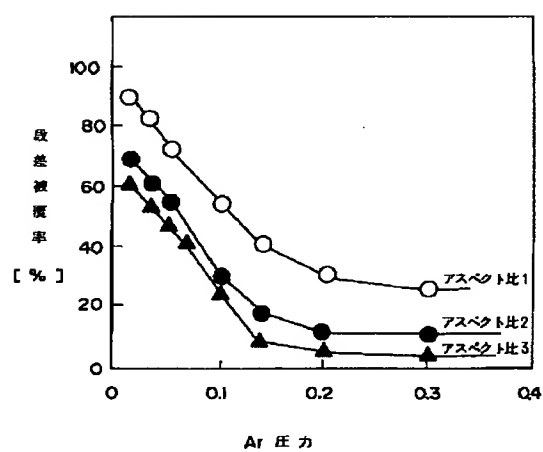
【図39】



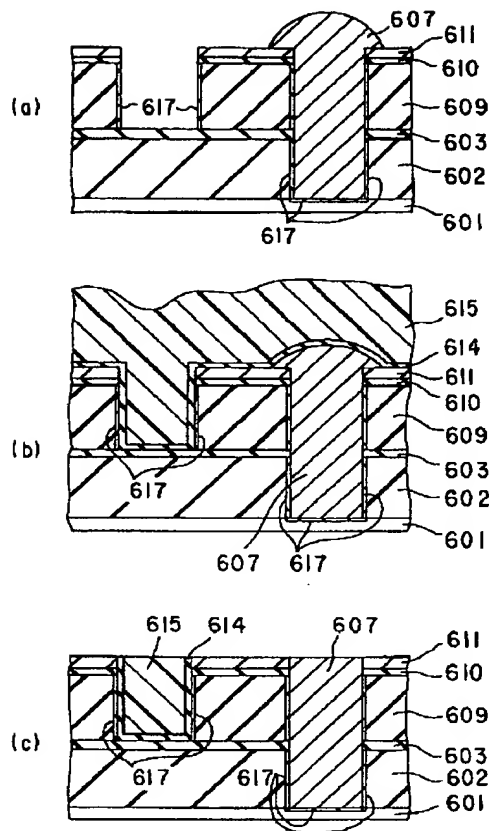
【図46】



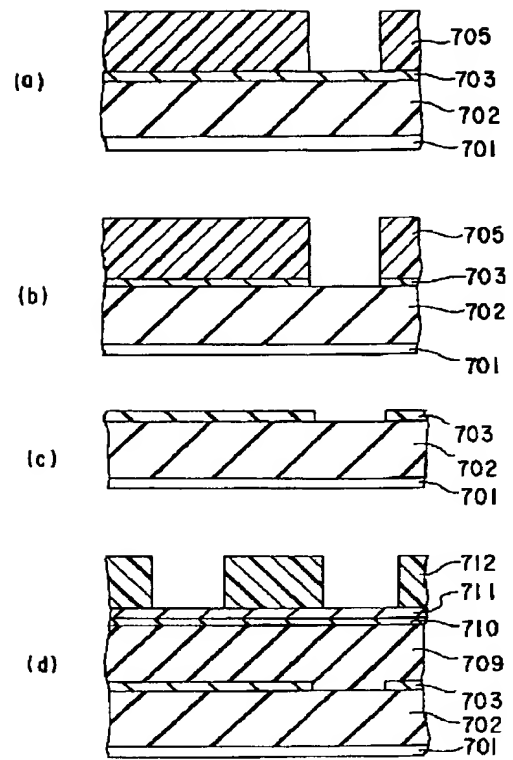
【図49】



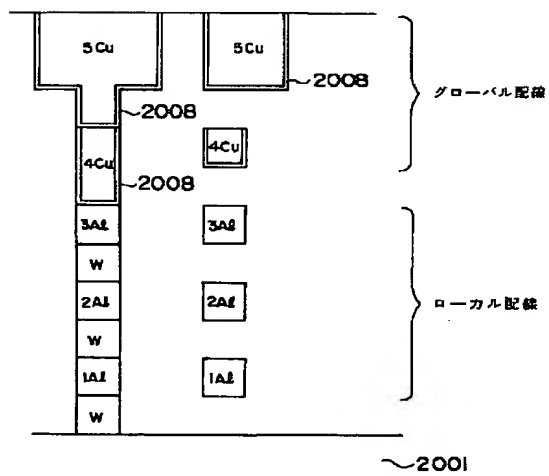
【図40】



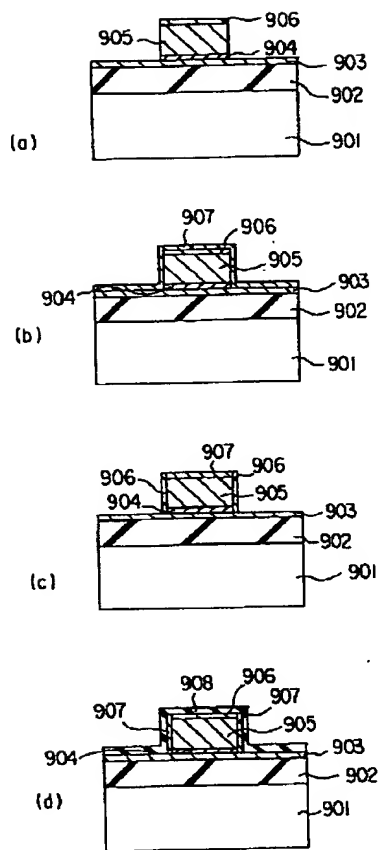
【図41】



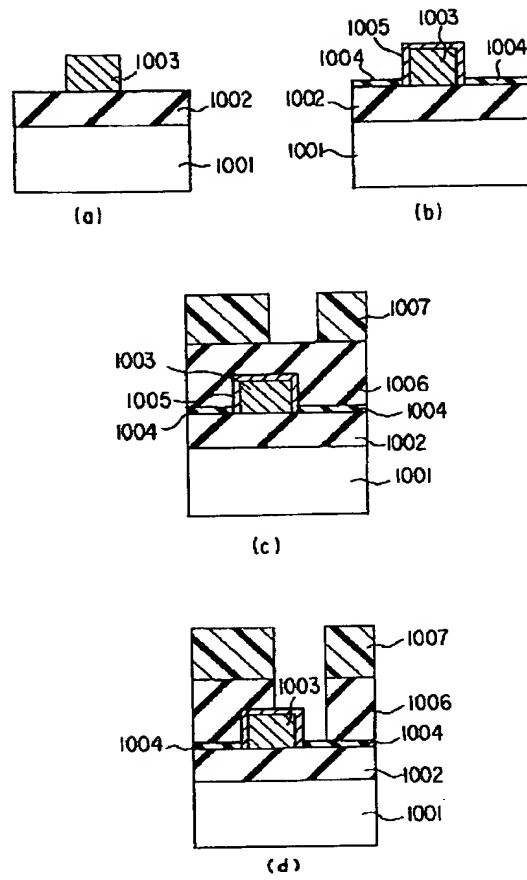
【図51】



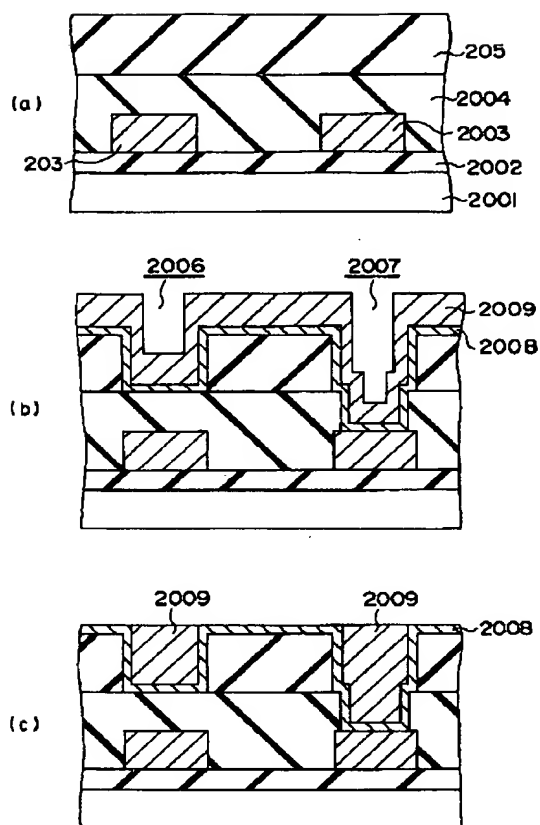
【図47】



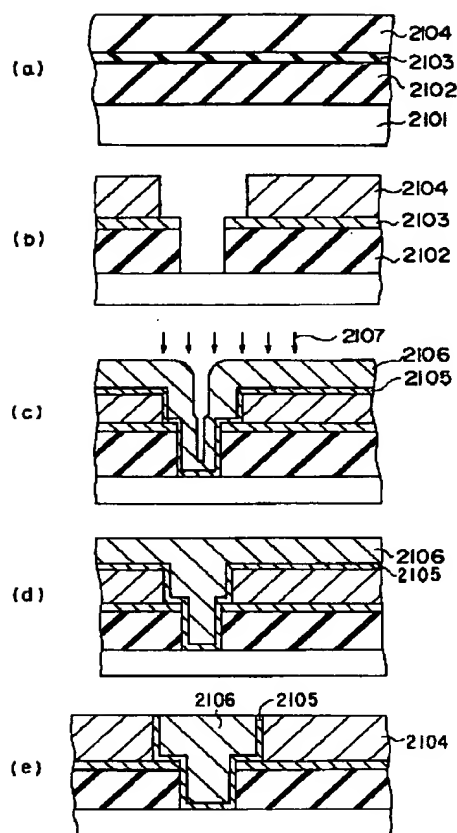
【図48】



【図50】



【図52】



フロントページの続き

(72)発明者 下岡 義明

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

(72)発明者 新山 広美

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

(72)発明者 田村 仁

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

(72)発明者 須黒 恭一

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

THE UNIVERSITY OF ALABAMA